علوم رایانش و فناوری اطلاعات
نشریه علمی انجمن کامپیوتر ایران
مجلد ۱۷، شماره ۱، ۱۳۹۸
صفحات ۱۵-۱۰
مقاله عادی

یک معماری شبکه روی حافظه برای تسریع انتقال داده در درون حافظه

بیتا دبیری [۱]، مهدی مدرسی [۲*]

[*]نویسنده مسئول، دریافت: ۹۷/۰۴/۱۲، بازنگری: ۹۷/۰۹/۱۲، پذیرش: ۹۷/۱۱/۱۳

[۱] دانشجوی دکتری، مهندسی کامپیوتر ، دانشکده مهندسی برق و کامپیوتر، پردیس دانشکده‌های فنی، دانشگاه تهران، تهران، ایران

[۲] استادیار، مهندسی کامپیوتر، دانشکده مهندسی برق و کامپیوتر، پردیس دانشکده‌های فنی، دانشگاه تهران، تهران، ایران

چکیده

در این مقاله، یک شبکه روی حافظه[۱] برای تسریع انتقال داده بین بانک‌ها در یک تراشه مدرن حافظه سه‌بعدی ارائه شده است. در این معماری افزون بر گذرگاه‌های عمومیِ یک حافظه معمولی از جمله گذرگاه برای آدرس، داده و کنترل، اتصالات کوتاهی بین بانک‌هایی که در مجاورت یکدیگر قرار دارند نیز وجود دارد که باعث انتقال داده به صورت مستقیم بین آن‌ها می‌شود. این طرح می‌تواند با جایگزین کردن شبکه با گذرگاه‌های مشترک برای انتقال داده‌های بین بانکی و مدیریت ارتباط بانک‌ها در درون شبکه، موجب افزایش پهنای‌باند حافظه گردد. هرچند که این معماری می‌تواند در یک تراشه حافظه معمولی پیاده‌سازی شود، اما بهترین کارایی خود را در حافظه‌های سه بعدی مدرن خواهد داشت؛ در این گونه حافظه‌ها، تعداد بانک‌ها زیاد بوده و مشکل مقیاس‌پذیری[۲] می‌تواند مانعی برای استفاده از گذرگاه مشترک برای انتقال داده بین بانک‌ها باشد. نتایج شبیه‌سازی نشان‌دهنده کاهش ۲۷ درصدی تاخیر حافظه، در صورت استفاده از شبکه برای انتقال داده‌های بین بانکی در حافظه است.

کلمات کلیدی: شبکه روی حافظه، حافظه سه‌بعدی، راهگزینی بسته، راهگزینی مدار

۱- مقدمه

حافظه از گذشته دور، یک عامل محدودکننده برای کارایی و انرژی مصرفی در سیستم‌های کامپیوتری بوده است. در این میان، چالش اصلی آن است که پهنای باند دسترسی به حافظه، که به صورت سنتی در بیرون از تراشه پردازنده قرار دارد، به اندازه پهنای باند پردازشی پردازنده‌های چند هسته‌ای کنونی رشد نیافته است. از سویی دیگر، دسترسی به حافظه، بخش عظیمی از توان مصرفی یک سیستم را به خود اختصاص می‌دهد. بخش اعظم این توان توسط اتصالات پرسرعتِ روی برد[۳] که وظیفه اتصال حافظه و پردازنده را بر عهده دارند، مصرف می‌شود. بنا بر دلایل بیان شده، مدیریت موثر دسترسی به حافظه برای مقابله با تاخیر و توان مصرفی بالا، ضروری به نظر می‌رسد و در سال‌های اخیر حجم بزرگی از کارهای پژوهشی را به خود جذب کرده است.

بنا بر مشاهدات گذشته [۱]، بسیاری از برنامه‌ها در یک سیستم کامپیوتری نیاز به حجم زیادی از کپی کردن داده‌ها از یک مکان به مکان دیگر از حافظه دارند. در سیستم‌های کنونی کامپیوتری، این امر نیازمند انجام انتقال داده‌ها از آدرس مبدا به پردازنده (و داخل ثبات‌ها) و سپس از پردازنده به آدرس مقصد است. یک الگوی دیگر پرتکرار در برنامه‌ها، مقداردهی اولیه است که آن هم نیازمند انتقال داده‌ها از پردازنده به آدرس مقصد است. با توجه به این نکته که این عملیات مقداردهی اولیه و کپی نیازی به انجام محاسبات ندارد، انتقال داده بین پردازنده و حافظه می‌تواند با بهره‌گیری از معماری‌های نوین حذف گردد تا پهنای باند حافظه برای دسترسی واحدهای عملیاتی پردازنده افزایش یابد.

برای این منظور، در این مقاله یک معماری نوین به نام شبکه روی حافظه[۴] (NoM) که راهی ساده و جدید برای اتصال بانک‌های حافظه به یکدیگر در جهت

انجام عملیات کپی و مقداردهی درون حافظه است را ارائه می‌کنیم. در این معماری، علاوه بر وجود گذرگاه‌های آدرس، داده و کنترل، هر بانک بر اساس یک هم‌بندی به سایر بانک‌ها متصل است. هم‌بندی توری، رایج‌ترین هم‌بندی است که در آن هر بانک به یک مسیریاب متصل بوده و از طریق آن به طور فیزیکی به بانک‌های مجاورش در چهار جهت اصلی (و در صورت سه بعدی بودن، در جهت عمودی) مرتبط است.

استفاده از شبکه باعث می‌شود که هر بانک بتواند به صورت مستقل به سایر بانک‌ها و نیز به مدارهای واسط بین حافظه و پردازنده (که درخواست‌های پردازنده از طریق آن ارسال می‌گردد) متصل باشد. در این صورت، بانک‌ها می‌توانند علاوه بر دریافت آدرس و دستورات خواندن/نوشتن از سوی پردازنده، دستورات ویژه‌ای جهت انجام کپی داده به یک بانک مقصد و یا مقداردهی اولیه به برخی خانه‌های حافظه را دریافت کرده و این عملیات را بدون نیاز به انتقال داده به داخل پردازنده و به صورت داخلی به انجام برسانند.

مزیت این شبکه علاوه بر امکان ارتباط مستقیم بانک‌ها، افزایش موازات در دسترسی به بانک‌های حافظه است؛ زیرا در این مدل، برخلاف مدل معمول بر پایه گذرگاه مشترک، در هر لحظه چندین تراکنش حافظه می‌توانند به صورت موازی در حال انجام باشند و از این طریق پهنای باند حافظه افزایش می‌یابد. ایده شبکه در حافظه‌های سه‌بعدی، در کارهای گذشته همانند [۲] و [۷] نیز وجود دارد، اما همه‌ی آن‌ها شبکه را در لایه منطقیِ یک حافظه سه‌بعدی و بین کنترل‌کننده‌های حافظه پیاده‌سازی کرده‌اند. در مقاله کنونی علاوه بر کنترل‌کننده‌ها، خود بانک‌ها نیز به یکدیگر از طریق شبکه متصل هستند و کپی کردن غیر ضروری داده‌ها از یک بانک به کنترل‌کننده‌ها حذف شده و همین مطلب باعث افزایش پهنای باند حافظه گردیده است.

۲- انگیزه استفاده از شبکه روی حافظه

اهمیت بالای کپی کردن داده در داخل حافظه در برخی مقاله‌ها ذکر شده است و روش‌هایی برای انجام آن بدون نیاز به عبور داده از پردازنده ارائه شده است که از آن جمله می‌توان به معماری RowClone [۱] اشاره کرد. این مقاله یک مکانیزم سریع و کارا از لحاظ انرژی برای کپی یا مقداردهی داده درون حافظه ارائه کرده است. برای انتقال داده بین دو بانک، از گذرگاه داخلی حافظه با استفاده از کپی داده از بافر سطرِ[۵] مبدا به مقصد استفاده شده است. در درون یک بانک نیز داده می‌تواند بین دو سطر از طریق بافر سطر انتقال یابد. یادآوری می‌شود که یک تراشه‌ی[۶] حافظه نوین، شامل چندین بانک است که یک گذرگاه داخلی برای خواندن و نوشتن داده بین آن‌ها به اشتراک گذاشته می‌شود و هر بانک شامل چندین زیرآرایه است. علاوه بر این، هر کدام از زیرآرایه‌ها دارای صدها سطر از سلول[۷]های حافظه هستند که یک بافر سطر بین آن‌ها به صورت مشترک مورد استفاده قرار می‌گیرد.

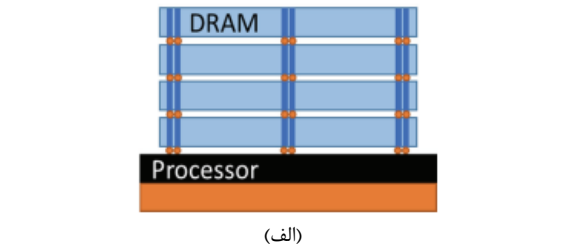
RowClone برای یک حافظه معمولی با تعداد بانک‌های محدود مناسب است. اما در معماری حافظه لایه‌ای سه بعدی صدها یا هزاران بانک وجود دارد که به صورت بخش‌های مستقل و مجزا کنترل می‌شوند. به طور مثال، معماری حافظه ترکیبی مکعبی[۸] (HMC) دارای ۸ لایه حافظه و مجموعا ظرفیتی در حدود ۸ گیگابایت است که این لایه‌ها به صورت چند طبقه در بالای لایه منطقی قرار دارند. هر کدام از لایه‌های حافظه به ۳۲ قسمت تقسیم می‌شوند و کل حافظه حداکثر می‌تواند تا ۲۵۶ بانک داشته باشد. یک قسمت از لایه منطقی و یک بانک از هر لایه در فوق آن که به صورت عمودی بر روی یکدیگر قرار گرفته‌اند، یک طاق[۹] را تشکیل می‌دهند. هر طاق کنترل‌کننده مخصوص به خود را دارد که "کنترل‌کننده حافظه" یا "کنترل‌کننده طاق" نام دارد. طاق‌ها به صورت کانال‌های مستقل حافظه عمل می‌کنند که قابلیت دسترسی همزمان به آن‌ها نیز وجود دارد. مهم‌ترین چالش برای توسعه معماری موجود در مقاله Rowclone برای چنین ساختارهای حافظه‌ای با تعداد بانک زیاد، کنترل‌کننده‌های مستقل حافظه است که هماهنگی و همکاری بین آن‌ها مشکل است. علاوه بر این، برای کاربردهایی که تعداد نخ[۱۰]های آن‌ها زیاد است، دسترسی‌های منظم به یک داده توسط انتقالات داخلی سایر داده‌ها، غالبا با وقفه مواجه خواهد شد که این مهم، توانایی انتقال درونی داده‌ها که از مزیت‌های ذاتی ساختار مذکور است را تحت تاثیر قرار خواهد داد. دلیل اصلی این امر، استفاده از یک گذرگاه داخلی مشترک است که اجازه فعال شدن و انتقال داده تنها یک بانک را می‌دهد و این مشغول بودن منابع از زمان خواندن داده از بانک مبدا تا زمان نوشته شدن آن در بانک مقصد ادامه خواهد داشت. در این مدت زمان که گذرگاه جهت انجام کپی درون حافظه مشغول است، تمامی دسترسی‌های پردازنده متوقف خواهند شد. در نهایت این مسئله برای ساختارهای بزرگ حافظه که دارای بانک‌های زیادی هستند، موجب کاهش فرکانس کاری، افزایش تاخیر در جابجایی داده از یک بانک به بانک دیگر و در نتیجه کاهش مقیاس‌پذیری می‌شود.

۳- معماری حافظه های سه بعدی

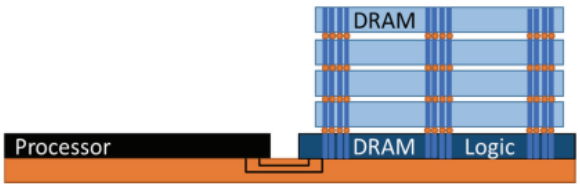
معماری حافظه‌های سه بعدی به طور گسترده به عنوان یک راه‌حل امیدوارکننده برای تامین پهنای باند مورد نیاز حافظه و همچنین توان مصرفی کم، مورد پذیرش است. این معماری دارای چندین لایه حافظه است که با استفاده از اتصالات عمودی واسط سیلیکونی[۱۱] (TSV) به صورت لایه‌ای بر روی هم قرار گرفته‌اند و از نظر پیاده‌سازی فیزیکی و انواع اتصالات بین لایه‌های منطقی و حافظه، به دو دسته تقسیم می‌شود: حافظه به شکل لایه‌ای روی تراشه[۱۲] [۱] و معماری با پهنای باند زیاد[۱۳] (HBM) [۳].

در شکل ۱-الف، حافظه به شکل لایه‌ای روی تراشه نشان داده شده است. این معماری، یک حافظه مکعبی با هزینه کم و از لحاظ نرم‌افزاری سازگار با مدل‌های موجود[۱۴] حافظه است. این معماری همچنین دارای مشابه‌ترین شکل اتصالات با یک حافظه معمولی و دو بعدی است. شکل ۱(ب) نیز معماری حافظه ۲/۵ بعدی با پهنای زیاد و اتصال آن به پردازنده که در خارج از تراشه قرار دارد از طریق interposer نشان داده شده است. این معماری در پردازنده‌های مدرن AMD، NVidia، وIntel به کار رفته است [۴].

علاوه بر دسته‌بندی معماری‌ها بر اساس انواع اتصالات بین لایه‌ها، می‌توان دسته‌ی حافظه با لایه‌ای روی یک لایه منطقی[۱۵] را نیز به دو نوع تقسیم کرد.



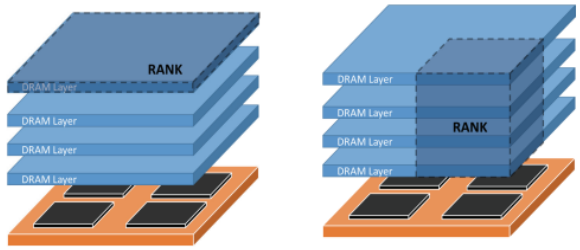
(الف)



(ب)

شکل ۱-(الف) حافظه به شکل لایه‌ای روی تراشه (ب) حافظه با پهنای باند خروجی گسترده (HBM)

شکل۲ (الف) یک معماری لایه‌ای به نام حافظه سه‌بعدی مسطح را نشان می‌دهد که دارای اتصالات عمودی TSV بین لایه‌ها و هرلایه متشکل از یک rank است[۵]. از آنجایی که این معماری، مزایای ذاتی معماری سه‌بعدی را در بر ندارد، معماری دیگری با نام ساختار کاملا سه‌بعدی حافظه در شکل۲(ب) معرفی شده است. در این معماری بانک‌ها در هر لایه به خوشه‌هایی تقسیم شده‌اند و یک خوشه از هر لایه به صورت عمودی یک rank است[۶].

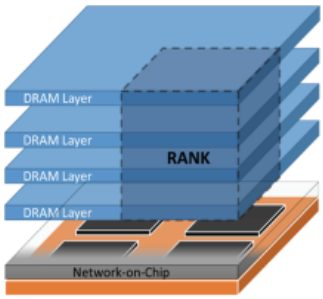


(الف) (ب)

شکل۲- حافظه لایه‌ای روی لایه منطقی (الف)یک rank به ازای هر لایه (ب) تقسیم کردن rank بین لایه‌ها

در این مدل، سایر بخش‌های منطقی در معماری کاملا سه بعدی حافظه از جمله رمزگشای سطر، ثبات‌های سطر، درایورهای خروجی و sense amplifier بر روی یک لایه جداگانه قرار دارند که از طریق اتصالات TSV به سایر لایه‌ها متصل است. بنابراین یک لایه منطقی (پردازشی) در زیر سایر لایه‌ها قرار دارد و ساختار هر دو شکل (الف) و (ب) دارای یک پیاده‌سازی فیزیکی مشابه‌اند که در شکل (ب) rank های عمودی به صورت فیزیکی تفکیک نشده‌اند.

در[۷] و در شکل۳، لایه‌ی شبکه‌ی روی تراشه، به منظور ساخت یک پلتفرم کارا براساس ساختار کاملا سه‌بعدی حافظه، بین لایه‌های حافظه و لایه منطقی پیاده‌سازی شده است. در این لایه از یک شبکه دو بعدی استفاده شده است که مسیریاب‌ها و کنترل‌کننده حافظه از طریق واسط شبکه[۱۶] به یکدیگر متصل شده‌اند که باعث افزایش پهنای باند انتقالی نیز می‌گردد.



شکل۳- حافظه لایه‌ای سه بعدی بر روی لایه منطقی از طریق اتصالات شبکه‌ای [۷]

با بهره مندی از مزایای فناوری لایه‌ای سه بعدی و اتصالات TSV، می‌توان به یکی از اهداف حافظه افزایش ظرفیت حافظه، داشتن پهنای باند بیشتر و کارایی بهتر دست یافت.

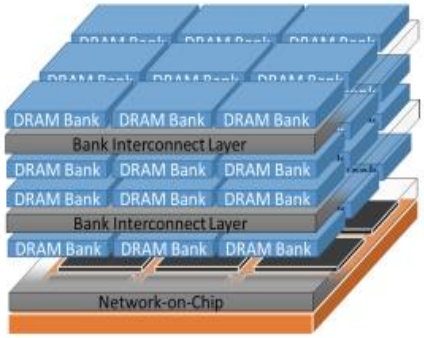
۴- پلتفرم ارتباطی ترکیبی[۱۷] پیشنهاد شده

در این مقاله، همان‌گونه که گفته شد، یک معماری نوین به نام NoM که راهی ساده و جدید برای اتصال بانک‌های حافظه به یکدیگر در جهت انجام عملیات کپی و مقداردهی درون حافظه است را ارائه می‌کنیم.

معماری حافظه سه لایه‌ای بعدی که در قسمت قبل مورد بررسی قرار گرفت، باعث تسهیل در گلوگاه[۱۸]های موجود در معماری سنتی از جمله پهنای باند ناکافی، تاخیر در دسترسی به حافظه و اشغال فضای بزرگی برای تراشه، شده است. از سویی توجه به اتصالات اندک بین لایه‌های حافظه در یک سیستم سنتی و دسترسی محدود به آن‌ها ضروری به نظر می‌رسد. همچنین انواع دسترسی‌های موجود، دارای ویژگی های متفاوتی هستند اما به یک شکل با آنها رفتار خواهد شد بنابراین این امر می‌تواند بر روی کارایی نهایی اثر نامطلوبی داشته باشد.

در این مقاله، یک پلتفرم ارتباطی ترکیبی شامل راهگزینی بسته[۱۹] و راهگزینی مدار[۲۰] برای معماری‌های حافظه لایه‌ای سه‌بعدی، پیشنهاد شده است. در این معماری شبکه نه تنها بین پردازنده‌ها و حافظه بلکه درون حافظه و بین بانک‌ها نیز وجود دارد تا بتواند پاسخگوی درخواست‌های فزآینده و پیاپی پردازنده‌ی سیستم‌های چند هسته‌ای و همچنین انواع متفاوت دسترسی به حافظه باشد.

در شکل۴، لایه‌ها به چهار نوع تقسیم شده‌اند که شامل لایه پردازنده، شبکه روی تراشه، حافظه و لایه اتصال بانکی[۲۱] است. به طور مثال با فرض داشتن یک حافظه با چهار لایه، هر دو لایه از حافظه با یک لایه از نوع اتصال بانکی، همچنین تمام لایه‌های بانکی به یکدیگر و در نهایت همگی آن‌ها به لایه شبکه روی تراشه، در قالب یک شبکه توری[۲۲] سه بعدی متصل می‌شوند.



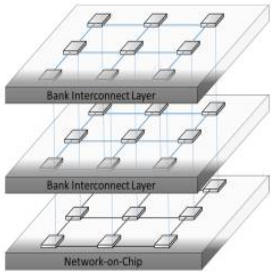
شکل۴- پلتفرم پیشنهادی برای معماری حافظه لایه‌ای سه‌بعدی

در شکل۵، یک شبکه توری سه بعدی نشان داده شده است. این شبکه‌ی توری دارای سه لایه ۳×۳ است که هر دو لایه حافظه از طریق واسط‌های شبکه به مسیریاب[۲۳] وصل است. مسیریاب‌ها در لایه زیرین به عنوان ورودی و خروجی حافظه برای انتقال داده بین پردازنده‌ها و حافظه عمل می‌کنند. در این مقاله، کنترل‌کننده‌های حافظه درون پردازنده‌ها قرار دارند.

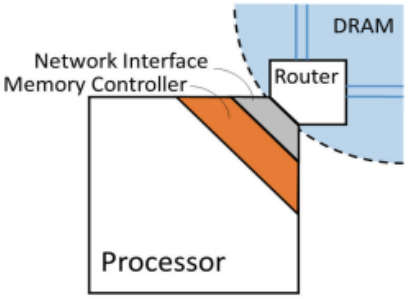
در پلتفرم پیشنهادی، کنترل‌کننده حافظه در پایین‌ترین لایه قرار گرفته است. با قرار گرفتن کنترل‌کننده‌های حافظه درون پردازنده‌ها، شباهت زیادی با حافظه سنتی از نظر دسترسی بهتر پردازنده به حافظه‌ایی که بر پایه شبکه است، از طریق کنترل‌کننده‌های حافظه، بوجود می‌آید.

به طور مثال، در شکل۴، ۹ عدد ورودی خروجی برای حافظه وجود دارد که به دلیل وجود کنترل‌کننده‌های حافظه توزیع شده، تداخل بین درخواست‌های وارد شده به شبکه توری و با داروی درون مسیریاب‌ها قابل حل خواهد بود. همانطور که در شکل۶ (الف) نشان داده شده است، کنترل کننده حافظه بین پردازنده و حافظه بر پایه شبکه، قرار دارد تا دستورات لازم برای درخواست‌های آمده را تولید کند. در این شکل، کنترل‌کننده حافظه، واسط شبکه و مسیریاب‌ها می‌توانند در یک لایه منطقی (پایین‌ترین لایه) قرار بگیرند. در شکل۶ (ب) نشان داده شده است که چگونه بانک‌های حافظه به مسیریاب‌ها در لایه‌های بالاتر و متفاوت از هم متصل می‌شوند.

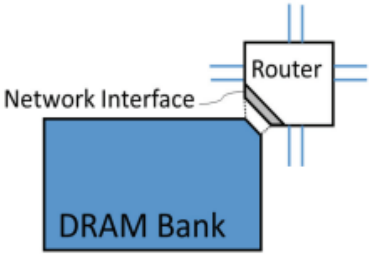
در این پلتفرم، اتصالات TSV به عنوان راه‌های ارتباطی که اتصال بین مسیریاب‌ها به لایه‌های اتصالی بانک‌ها و پایین‌ترین لایه را ایجاد می‌کند، قرار گرفته‌اند. به دلیل اینکه لایه‌های اتصالی بانک‌ها، لایه منطقی هستند و مسیریاب‌ها بر روی آن‌ها قرار دارند، نقطه اتصال[۲۴]های کوچکی برای اتصالات TSV همانند شکل ۷ قرارگرفته است. تعیین تعداد TSVها به تعداد مسیریاب‌ها و نیز تعداد درگاه‌های آنها در جهت عمودی بستگی دارد.



شکل۵- ساختار یک شبکه سه بعدی توری با پلتفرم پیشنهاد شده

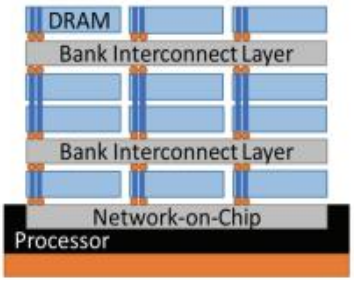


(الف)



(ب)

شکل۶- واسط بین (الف) پردازنده و حافظه (ب) بانک‌های حافظه در پلتفرم پیشنهاد شده



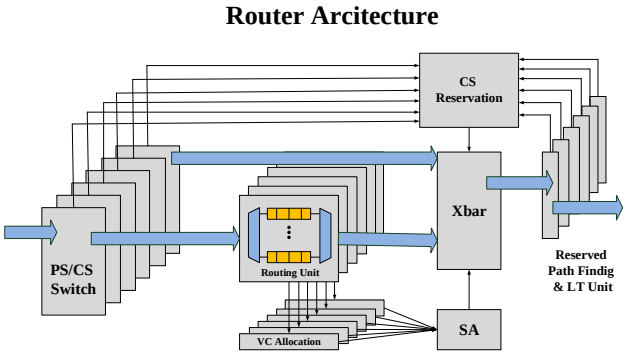
شکل۷- اتصالات عمودی از طریق TSVها در پلتفرم پیشنهادی

۴-۱- مدل شبکه

دسترسی متفاوت به حافظه را بر اساس حجم آن‌ها می‌توان به دو دسته تقسیم کرد: انتقال معمولی[۲۵] و انفجاری[۲۶]. در انتقال معمولی و بر اساس راهگزینی بسته، اندازه بسته داده کوچک است اما در بسته داده‌ای بزرگ، امکان هجوم فلیت[۲۷] های یک بسته به شبکه بالاتر وجود دارد که این مسئله باعث بوجود آمدن تداخل در مدت زمان کوتاه خواهد شد. همچنین انتقال انفجاری می‌تواند به استفاده نامتعادل از کانال‌های مسیریاب منجر شود که باعث بی‌فایده بودن افزایش تعداد کانال‌های مجازی و بافرها می‌شود[۸]. اما این مسائل در راهگزینی مدار کمتر خواهد بود. بنابراین یک پلتفرم ترکیبی شامل هر دو مورد راهگزینی بسته و راهگزینی مدار در مسیریاب‌ها به منظور تطبیق‌پذیری بهتر با مسائل فوق برای معماری حافظه لایه‌ای سه بعدی ارائه شده است.

مسیریاب‌ها در شبکه توری سه‌بعدی مذکور، ۷ درگاه برای ارسال و دریافت داده خواهند داشت که شامل درگاه‌های شمال، جنوب، شرق، غرب، بالا، پایین و درگاه محلی[۲۸] است. در هر درگاه، می‌توان از راهگزینی بسته و یا راهگزینی مدار برای انتقال معمولی یا انفجاری داده استفاده کرد. در شکل ۸، دو مسیر داخلی برای داده پس از دریافت آن از درگاه ورودی وجود دارد. مسیر بالایی برای انتقال انفجاری طراحی شده که نیاز به بافر ندارد و به صورت راهگزینی مدار است. اطلاعات مسیریابی به وسیله واحد مسیر معکوس[۲۹] شناسایی شده و در واحد CS Reservation ذخیره می‌شود. مسیر داخلی پایین نیز برای راهگزینی بسته و دارای سه مرحله خط لوله[۳۰] شامل تخصیص کانال مجازی[۳۱] و تخصیص خروجی[۳۲]، انتقال در کراس‌بار و انتقال روی لینک[۳۳] است.

یک شبکه بر مبنای راهگزینی بسته برای بسته‌های داده بزرگ در یک انتقال جریانی مناسب نیست اما برای بسته‌های داده کوچک مطلوب است.



شکل۸- معماری مسیریاب پیشنهادی

اگر بخشی از داده درخواست شده کوچک باشد، داده و درخواست آن از راهگزینی بسته در پلتفرم پیشنهادی استفاده می‌کنند. اگر داده درخواست شده بزرگ باشد، پیام درخواست می‌تواند از راهگزینی بسته استفاده کند اما داده مسیر راهگزینی مدار را دنبال خواهد کرد. برای کاهش زمان set up در راهگزینی مدار، مسیر بازگشت در هنگام ارسال سیگنال درخواستی به واحد RFP و CS رزرو خواهد شد. سپس اطلاعات ارسال شده در واحد RPF که شامل درگاه ورودی و خروجی در مسیریاب مربوطه است، جمع‌آوری می‌شود. واحد CSR نیز می‌تواند به عنوان واحد مسیریابی برای تعیین جهت ارسال داده در کراس‌بار استفاده گردد.

جهت رزرو مسیر، ما از الگوریتم تخصیص برش زمانی که در یکی از کارهای قبلی خود ارائه کرده‌ایم استفاده می‌کنیم. جزئیات این روش در [۹] قابل دستیابی است.

کپی داده‌ها درون حافظه با استفاده از شبکه راهگزینی مدار انجام می‌شود. برای این کار، یک دستور انتقال درون حافظه به مجموعه دستورات قابل ارسال به کنترل‌کننده‌های حافظه از سوی پردازنده اضافه شده است. این دستور شامل آدرس مبدا، آدرس مقصد و تعداد بایت‌های ارسالی است. بانک مبدا، پس از دریافت این دستور، ابتدا شروع به ساخت یک مدار بین خود و آدرس مقصد کرده و سپس بایت‌های درخواست شده را در قالب بسته‌های نوشتن به سمت بانک مقصد ارسال می‌نماید.

برای بانک مقصد این نکته که مبدا بسته‌ی نوشتنِ رسیده از سوی چه کسی (پردازنده و یا یک بانک دیگر حافظه) است قابل تشخیص نبوده و دقیقا مانند رفتاری که با یک بسته‌ی نوشتن معمولی که از سوی پردازنده ارسال می‌گردد، با بسته رسیده رفتار کرده و اطلاعات درون آن را در آدرس موردنظر قرار می‌دهد.

دستور دیگری که به حافظه اضافه می‌شود، دستور مقداردهی اولیه است که با دریافت آن از سوی یک بانک مقصد در یک بازه از حافظه مقدار مشخصی نوشته می‌شود.

در تمامی این تراکنش‌ها در صورتی‌که امکان ساخت مدار، به دلیل تداخل منابع با مدارهای فعلی و یا مدارهایی که در همین زمان در حال ساخته شدن هستند، وجود نداشته باشد عملیات ساخت مدار با شکست مواجه شده و داده‌ها به جای منتظر ماندن برای آزاد شدن منابع بلافاصله از روی شبکه راهگزینی بسته ارسال می‌شوند.

ارتباط بین بانک‌های حافظه و پرازنده در روش‌های سنتی اعم از حافظه‌های سه بعدی و معمولی (DRAM)، بدین صورت است که ارتباط مستقیم بین بانک‌های حافظه وجود ندارد و انتقال داده از یک بانک به سایر بانک‌ها از طریق پردازنده انجام می‌شود، به عبارت دیگر، داده مورد نظر از حافظه خوانده و به پردازنده منتقل شده و سپس در بانک مقصد نوشته می‌شود.

در برخی مقالات از جمله [۱]، انتقال مستقیم داده بین بانک‌های حافظه و درون آن‌ها مطرح شده است. در این مقالات، با تغییر رفتار بانک‌ها و در عین حال استفاده از گذرگاه داده و آدرس معمولی، امکان کپی مستقیم داده‌ها فراهم شده است. در این‌جا، استفاده از یک شبکه برای ارتباط مستقیم بین بانک‌ها ارائه شده است که باعث مقیاس‌پذیری بیشتر می‌شود و امکان انجام چندین عملیات کپی و خواندن یا نوشتن داده‌ها را به صورت همزمان فراهم آورده است.

۵- ارزیابی

برای شبیه‌سازی طرح پیشنهادی از ابزار شبیه‌سازی شبکه Booksim [۱۰] استفاده شده است. در این شبیه‌سازی، یک معماری حافظه سه بعدی با ۶۴ بانک که در قاب ۴ طبقه‌ی ۱۶ بانکی سازمان یافته‌اند مورد استفاده قرار گرفته است.

ظرفیت هر بانک ۲۵۶ مگابایت است و کل حافظه در مجموع ۱۶ گیگابایت است. این بانک‌ها در قالب یک شبکه توری با چهار لایه حافظه آرایش یافته‌اند و توسط ۲ لایه اتصال بانک (مانند شکل ۳) به یکدیگر متصل هستند.

بخش راهگزینی بسته در هر مسیریاب دارای دو کانال مجازی به ازای هر درگاه بوده و عمق هر کانال مجازی به اندازه ۸ فلیت است. تاخیر هر مسیریاب همانند آنچه در قبل گفته شد، ۳ سیکل است. خط لوله این مسیریاب‌ها مانند بسیاری از مسیریابهای متداول [۱۱] از سه مرحله‌ی (۱) مسیریابی (RC) از قبل، تخصیص کانال مجازی (VC)، و تخصیص پیش‌بینانه خروجی کراس‌بار (SA)، (۲) پیمایش کراس‌بار (ST) و (۳) پیمایش اتصال (LT) تشکیل شده است که در صورت عدم استفاده از کانال مجازی، مرحله‌ی تخصیص کانال مجازی از خط لوله حذف می‌شود.

این شبکه با یک حافظه معمولی سه بعدی با سایز مشابه که مانند حافظه HMC سازمان یافته، مقایسه شده است [۱۲]. حافظه مذکور از شبکه بین بانکی بهره نبرده و تمام انتقالات بین حافظه مانند سیستم‌های موجود، از طریق ثبات‌های پردازنده انجام می‌شود. شکل ۹ این معماری را نشان می‌دهد. در این معماری پردازنده از طریق یک خط پرسرعت به حافظه وصل است و درخواست‌های خواندن و نوشتن از طریق کراس‌بار ورودی حافظه به ستون و از آنجا به بانک مربوطه ارسال می‌شود. برای این منظور، هر دستور کپی به صورت خواندن داده از بانک مبدا و انتقال آن به پردازنده و سپس نوشتن داده از داخل پردازنده به بانک مقصد اتفاق می افتد.

برای مقایسه از چند برنامه محک[۳۴] استفاده شده است. این برنامه‌ها از مقاله [۱] گرفته شده است و دارای کپی درون حافظه زیاد (مانند forkbench) و کمی (مانند mysql) هستند که این عملیات برای شبیه‌سازی دنباله، استخراج شده و به شبیه‌ساز اعمال گردیده است. در این فایل‌ها، دستورات کپی از دنباله‌ها استخراج شده و به صورت یک دستور مستقل قرار داده شده است.

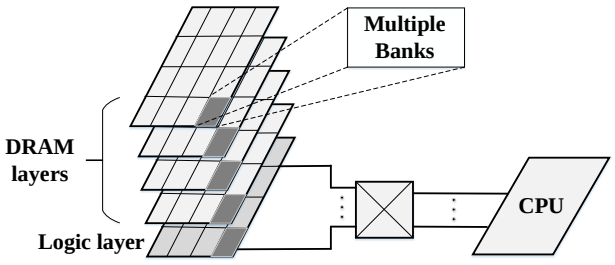
شکل ۱۰ نشان‌دهنده‌ی بهبود متوسط زمان دسترسی به حافظه با استفاده از شبکه و بدون استفاده از آن است. در این شکل دسترسی به حافظه از ابتدای صدور دستور حافظه تا پایان عملیات (رسیدن داده به درخواست‌کننده در هنگام خواندن، رسیدن داده به بانک مقصد در حالت نوشتن و کپی کردن) در نظر گرفته شده است. همانطور که در شکل نشان داده شده است، استفاده از شبکه می‌تواند به طور متوسط کاهش ۲۷ درصدی زمان دسترسی به حافظه را به همراه داشته باشد. هرچه دستورات کپی در یک بار کاری زیادتر باشد، افزایش کارایی شبکه زیادتر خواهد بود.

در این معماری درخواست‌های خواندن و نوشتن (که دارای بسته‌های کوچکتری هستند) از راهگزینی بسته و جواب درخواست‌های خواندن و نیز کپی درون حافظه (که بلاک‌های بزرگی از حافظه را منتقل می‌کنند)، از شبکه راهگزینی مدار استفاده می‌کنند. درصد بسته‌هایی که که از شبکه مدار استفاده می‌کنند در برنامه‌های محک متفاوت بوده و برای برنامه‌های bootup برابر ۴۱ درصد، compile برابر ۳۶ درصد، mysql برابر ۲۶ درصد، و forkbench برابر ۶۰ درصد است.

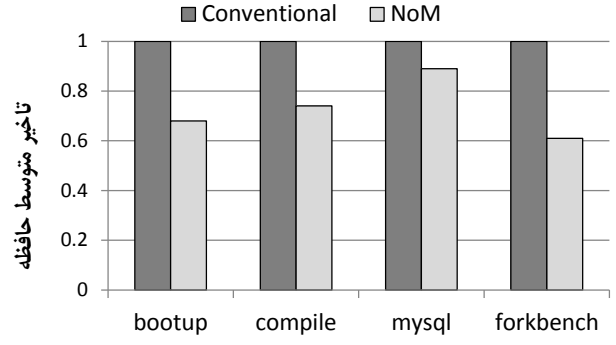
در هر دو معماری مورد مقایسه، بانک‌های حافظه با شبیه‌ساز Ramulator [۱۳] شبیه‌سازی شده‌اند. اما در مدل شبکه روی حافظه، درخواست‌ها به جای گذرگاه مشترک از طریق Booksim به بانک‌های حافظه می‌رسد.

برای مقایسه توان مصرفی از ابزار Orion III که در داخل شبیه‌ساز شبکه قرار گرفته استفاده شده است. توان مصرفی در روش پیشنهادی به طور متوسط برای تمام برنامه‌های محک، ۷ درصد کاهش یافته است. لازم به ذکر است که این کاهش توان فقط انتقال‌های داخل حافظه را در نظر گرفته است. در صورت در نظر گرفتن این نکته که در روش سنتی انتقال‌های زیادتری بین حافظه و پردازنده انجام می‌گیرد، کاهش توان روش پیشنهادی قطعا بسیار زیادتر خواهد بود. اما از آنجا که ارزیابی توان مصرفی انتقال داده بین حافظه و پردازنده بستگی مستقیمی به شکل و جنس اتصالات مادربرد و فاصله آنها از هم دارد، امکان ارزیابی آن با ابزارهای شبیه ساز معماری کامپیوتر وجود ندارد.

نتایج ارزیابی با استفاده از ابزار مساحت Cacti [۱۴]، نشان‌دهنده‌ی افزایش مساحت ۱۴ درصدی شبکه نسبت به یک حافظه معمولی است که در اثر استفاده از روترها ایجاد شده است.



شکل۹- معماری حافظه سه بعدی



شکل۱۰. ارزیابی تاخیر متوسط حافظه

۶- نتیجه‌گیری

در این مقاله، یک شبکه روی حافظه برای تسریع انتقال داده بین بانک‌ها در یک تراشه مدرن حافظه سه‌بعدی ارائه شد. در این معماری افزون بر گذرگاه‌های عمومیِ یک حافظه معمولی از جمله گذرگاه برای آدرس، داده و کنترل، اتصالات کوتاهی بین بانک‌هایی که در مجاورت یکدیگر قرار دارند وجود دارد که باعث انتقال داده به صورت مستقیم بین آن‌ها شده است. این طرح توانسته است با جایگزین کردن شبکه با گذرگاه‌های مشترک برای انتقال داده‌های بین بانکی و مدیریت ارتباط بانک‌ها در درون شبکه، موجب افزایش پهنای باند حافظه گردد. هرچند این معماری توانسته است در یک تراشه حافظه معمولی پیاده‌سازی شود، اما بهترین کارایی خود را در حافظه‌های سه‌بعدی مدرن خواهد داشت که در این گونه حافظه‌ها، تعداد بانک‌ها زیاد بوده و مشکل مقیاس‌پذیری[۳۵] می‌تواند مانعی برای استفاده از گذرگاه مشترک برای انتقال داده بین بانک‌ها باشد. نتایج شبیه‌سازی حاکی از کاهش ۲۷ درصدی تاخیر حافظه در صورت استفاده از شبکه برای انتقال داده‌های بین بانکی در حافظه است.

مراجع

[1] V. Seshadri, Y. Kim, C. Fallin, D. Lee, R. Ausavarungnirun, G. Pekhimenko, Y. Luo, O. Mutlu, P.B.. Gibbons, M.A. Kozuch, and T.C. Mowry, "RowClone: Fast and energy-efficient in-DRAM bulk data copy and initialization," *in Proc. of MICRO*, pp. 185-197, 2013.

[2] J.S. Kim, C.S. O, H. Lee, D. Lee, H. Hwang, S. Hwang, B. Na, J. Moon, J. Kim, H. Park, J. Ryu, K. Park, S. Kang, and M. Jang, "A 1.2 V 12.8 GB/s 2 Gb Mobile Wide I/O DRAM With 4 × 128 I/Os Using TSV Based Stacking," *Journal of Solid-State Circuits,* vol. 47, no. 1, pp. 107–116, Jan 2012.

[3] Q. Wu and T. Zhang, "Design Techniques to Facilitate Processor Power Delivery in 3-D Processor-DRAM Integrated Systems," *IEEE Transactions on Very Large Scale Integration Systems*, vol. 19, no. 9, pp. 1655–1666, 2011.

[4] P. Tsai, N. Beckmann, D. Sanchez, "Jenga: Sotware-Defined Cache Hierarchies," *in Proc. International Symposium on Computer Architecture (ISCA)*, pp. 652-665, 2017.

[5] U. Kang, H. Chung, C. Kim, "8Gb 3-D DDR3 DRAM Using Through-Silicon-Via Technology," *in Proc. International Solid State Circuits Conference (ISSCC)*, pp. 130–131, 2009.

[6] G. H. Loh, "3D-Stacked Memory Architectures for Multi-core Processors," *in Proc. of International Symposium on Computer Architecture (ISCA)*, pp. 453–464, 2008.

[7] D. Masoud, M. Ebrahimi, P. Liljeberg, J. Plosila, H. Tenhunen, "Memory-Efficient Logic Layer Communication Platform for 3D-Stacked Memory-on-Processor Architectures," *In Proc. IEEE International 3D Systems Integration Conference (3DIC)*, pp. 1-8, 2012.

[8] S. Liu, A. Jantsch, Z. Lu, "Analysis and evaluation of circuit switched NoC and packet switched NoC," *In Proc. Euromicro Conference on Digital System Design (DSD)*, pp. 21-28, 2013

[9] A. Mazloumi and M. Modarressi, "A hybrid packet/circuit-switched router to accelerate memory access in NoC-based chip multiprocessors," *2015 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pp. 908-911, 2015.

[10] Booksim, https://sourceforge.net/projects/booksim/.

[11] M. Modarressi, A. Tavakkol, H. Sarbazi-Azad, "Application-Aware Topology Reconfiguration for On-Chip Networks," *IEEE Transactions on Very Large Scale Integrated Circuits*, vol. 19, no. 11, 2011.

[12] "*Hybrid memory cube specification 2.0*," Hybrid Memory Cube Consortium, Tech. Rep., 2014.

[13] Y. Kim, Y. Yang, O. Mutlu, "Ramulator: A Fast and Extensible DRAM Simulator," *IEEE Computer Architecture Letters*, vol. 15, no. 1, pp. 45-49, 2015.

[14] Cacti6, https://www.cacti.net/.

بیتا دبیری دانشجوی دکتری رشته مهندسی کامپیوتر گرایش معماری سیستم‌های کامپیوتری از دانشکده مهندسی برق و کامپیوتر دانشکده فنی دانشگاه تهران است. شبکه‌های روی تراشه، شبکه‌های کامپیوتری و فناوری‌های نوین حافظه از زمینه‌های تحقیقاتی مورد علاقه ایشان است.

آدرس پست الکترونیکی ایشان عبارت است از:

bita.dabiri@ut.ac.ir

مهدی مدرسی مدرک دکترای خود را در سال ۱۳۸۹ در مهندسی کامپیوتر از دانشگاه صنعتی شریف دریافت کرده و از سال ۱۳۹۱ عضو هیئت علمی گروه معماری سیستم‌های کامپیوتری در دانشکده مهندسی برق و کامپیوتر دانشگاه تهران است. زمینه‌های پژوهشی مورد علاقه ایشان معماری کامپیوتر، شبکه روی تراشه، پردازش موازی، و سخت افزار هوشمند است که تاکنون بیش از ۹۵ مقاله درباره‌ی آن‌ها منتشر کرده است.

آدرس پست الکترونیکی ایشان عبارت است از:

modarressi@ut.ac.ir

---

[1] DRAM
[2] Scalability
[3] High-speed on-board links
[4] Network-on-memory
[5] Row buffer
[6] chip
[7] cell
[8] Hybrid Memory Cube
[9] vault
[10] thread
[11] Through-Silicon Via
[12] On-chip Stacked DRAM
[13] High Bandwidth Memory
[14] backward-compatible
[15] Logic layer
[16] Network Interface
[17] Hybrid Communication Platform
[18] bottleneck
[19] Packet-switch
[20] Circuit-switch
[21] Bank Interconnect Layer
[22] mesh
[23] router
[24] bump
[25] Normal Transmission
[26] Burst Transmission
[27] flit
[28] Local
[29] Reversed Path Finding Unit (RPF)
[30] Pipeline
[31] VC Allocation
[32] Switch Allocation
[33] Link Traversal
[34] benchmark
[35] Scalability

The CSI Journal on Computing Science and Information Technology
Vol. 17, No.1, 2019

A Network-on-Memory Architecture to Accelerate Intra-Memory Data Transfer

Bita Dabiri, Mehdi Modarressi

Department of Electrical and Computer Engineering, College of Engineering, University of Tehran, Tehran, Iran

Abstract

In this paper, we propose a network-on-chip architecture for highly banked 3D memory structures. In this structure, memory banks, instead of using shared address and data buses, are connected via a simple and cost-effective network. This network can connect each bank to both memory controller and some other adjacent banks, effectively replacing the shared buses with a faster and more scalable network. The network adopts both the TDM-based circuit-switching and packet switching to handle each portion of the memory traffic by a suitable switching scheme. The simulation results demonstrate 27 percent reduction in memory latency by using a network to transfer data between memory banks.

Keywords: Network-on-chip, 3D DRAM, Packet-switching, Circuit-switching.