علوم رایانش و فناوری اطلاعات
نشریه علمی انجمن کامپیوتر ایران
مجلد ۱۴، شماره ۱، ۱۳۹۵
صفحات ۴۹-۵۶
مقاله عادی

نشریه علوم رایانش و فناوری اطلاعات

طراحی و مشخصه‌یابی بلوک منطقی قابل پیکربندی تمام گرافنی قابل استفاده در تراشه‌های FPGA

سیدعلی سیف کاشانی حسین کریمیان علی‌داش

دانشکده برق و کامپیوتر، دانشگاه کاشان، کاشان، ایران

چکیده

یکی از لوازم حیاتی برای دست‌یابی به پیشرفت تکنولوژی در صنایع میکروالکترونیک، کوچکتر و سریعتر شدن افزاره‌های الکترونیکی است. از طرفی مطابق نقشه راه بین‌المللی صنعت نیمه هادی، روند کوچک‌سازی افزاره‌های کنونی مبتنی بر عنصر سیلیکون با چالش جدی و غیر قابل گریز روبرو است. بنابراین تحقیقات گسترده‌ای در زمینه‌ی رفع این چالش‌ها صورت پذیرفته و می‌پذیرد. براساس تحقیقات، افزاره‌های مبتنی بر عنصر کربن توانسته‌اند جایگاه ویژه‌ای در این عرصه پیدا کنند.

در این مقاله سعی شده است تا با استفاده از یکی از ساختارهای معرفی شده‌ی مبتنی بر کربن، به نام گرافن، طراحی و مشخصه‌یابی یک بلوک منطقی قابل پیکربندی (CLB)، که در تراشه‌های FPGA مورد استفاده است، صورت پذیرد. البته ساختار داخلی این واحد به گونه‌ای است که طراحی افزاره‌های متداول و پرکاربرد در طراحی دیجیتال، همچون: فلیپ‌فلاپ نوع-D (DFF) و لچ (Latch) را نیز در پی دارد. سرعت حدود ۵۸ برابری در مقایسه DFF مبتنی بر سیلیکون و طراحی و استخراج پارامترهای زمانی مدار CLB و المان‌های داخلی تمام گرافنی آن نتایجی است که در این مقاله به آن پرداخته خواهد شد.

کلمات کلیدی: بلوک منطقی قابل پیکربندی، گرافن، فلیپ‌فلاپ، پارامترهای زمانی، گیت قابل‌پیکربندی مجدد.

۱- مقدمه

صنعت نیمه‌هادی و الکترونیک در چند دهه گذشته، رشد فزاینده در تراکم تراشه‌ها را مطالبه کرده است، که این عمل نیاز به کوچک‌سازی المان‌های پایه‌ای یعنی همان ترانزیستورها دارد. این کوچک‌سازی طبق آنچه به نام قانون مور شناخته می‌شود، منجر به افزایش تراکم دو برابری ترانزیستورها در تراشه‌ها طی هر دو سال شده است [۱]. طبق پیش بینی‌ها انتظار می‌رود این روند حداکثر تا چند سال آینده و سرانجام عنصر سیلیکون قابل کوچک‌سازی بیشتر نباشد [۲]. برای غلبه بر این محدودیت‌ها و بر طرف کردن نگرانی‌های صنعت، تحقیقات گسترده‌ای در رابطه با مواد فرا- سیلیکونی برای جایگزین کردن با سیلیکون، انجام شده است. ترانزیستورهای مبتنی بر نانو- لوله کربنی، الکترونیک مولکولی، اسپینترونیک، افزاره‌های مبتنی بر محاسبات کوانتمی، افزاره‌های مبتنی بر حافظه مغناطیسی و الکترونیک نوری، از جمله مواد و روش‌های معرفی شده برای جایگزین سیلیکون می‌باشند [۳-۶].

مواد مبتنی بر کربن بعد از معرفی ساختار پایدار دو بعدی آن در سال ۲۰۰۴ میلادی، توجه بسیاری را به خود جذب کرد. در این میان ساختارهای نانو-لوله کربنی و گرافن دارای ویژگی‌های الکتریکی بسیار کاربردی برای استفاده در الکترونیک هستند. نانو-لوله کربن به علت مشکلات مرحله ساخت، نگاه‌ها را به سمت استفاده از گرافن تغییر داده است. گرافن به شبکه‌ای شش ضلعی از اتم‌های کربن که در یک صفحه قرار می‌گیرند، گفته می‌شود. افزاره‌های مبتنی بر این نوع ساختارها از لحاظ عملکردی نسبت به ترانزیستورهای معمول متفاوت عمل خواهند کرد، از این رو نیاز است تا مدارهایی که طراحی آن بر پایه این ساختارها صورت می‌پذیرد، مورد مطالعه قرار گرفته و مشخصه‌یابی و بررسی شوند. شکاف باند الکتریکی در گرافن صفر است، این مورد یک چالش بسیار بزرگ برای استفاده از آن در صنایع الکترونیکی محسوب می‌شود، چرا که رفتار شبه فلزی دارد و حالت

خاموش و روشن یک افزاره با شکاف باند صفر قابل تشخیص نیست [۷، ۸]. برای حل مشکل شکاف باند صفر، راه‌کارهایی از قبیل نانو- نوار گرافنی و ساختار گیت‌های مجزا ارائه شده است. استفاده از نانو- نوارهای گرافنی به عملکرد افزاره‌های مبتنی بر آن وابستگی شدید به فرآیند ساخت آن دارد [۹]. یک روش دیگر برای استفاده از گرافن، بهره‌گیری از ایجاد ناخالصی توسط اعمال ولتاژ الکترواستاتیک به آن است. در این حالت با اعمال ولتاژ الکترواستاتیک به پایانه‌های قرار گرفته در پشت صفحه گرافن، تراز فرمی آن تغییر می‌کند [۹، ۱۰]. ایجاد ناخالصی الکترواستاتیکی دروازه‌های جدیدی را برای دستیابی به افزاره‌های مبتنی بر گرافن و نانو- الکترونیک و سیستم‌های مبتنی بر گرافن گشوده است. افزاره‌های مبتنی بر این نوع ساختارها از لحاظ عملکردی نسبت به ترانزیستورهای معمول متفاوت عمل خواهند کرد، از این رو نیاز است تا مدارهایی که طراحی آن بر پایه این ساختارها صورت می‌پذیرد، مورد مطالعه قرار گرفته و مشخصه‌یابی و بررسی شوند.

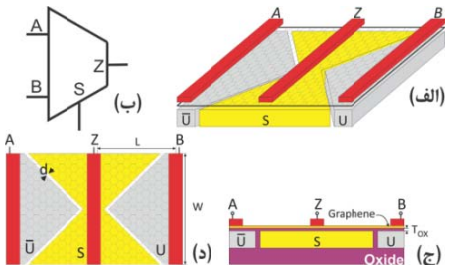
گیت قابل پیکربندی گرافنی (GRG[1])، یکی از المان‌هایی است که با استفاده از روش اخیر، طراحی شده است. مراجع [۹، ۱۱، ۱۲] مدل‌هایی برای بررسی پارامترهای زمانی و توان مصرفی در گیت‌های پایه مبتنی بر این ساختار را ارائه داده‌اند، اما هیچ یک به بررسی، طراحی و ارائه‌ی مدلی برای المان‌های ترتیبی، که از موارد ضروری و مورد نیاز در مدارهای دیجیتال هستند، نپرداخته‌اند. با در نظر گرفتن نیاز اساسی سامانه‌های دیجیتال به المان‌های ترتیبی، لازم است تا المان‌های حافظه دار پایه، طراحی و مشخصه‌یابی شوند. لذا در این مقاله طراحی لچ و فلیپ‌فلاپ و مشخصه‌یابی آن در راستای طراحی و مشخصه‌یابی CLB ارائه خواهد شد.

در ادامه روند ارائه مطالب به این صورت است. در بخش (۲) در رابطه با ساختار مورد استفاده در این مطالعه و نحوه عملکرد آن توضیح داده می‌شود و در بخش (۳) روند طراحی بلوک قابل پیکربندی همراه با طرح مداری مربوط به المان‌های داخلی مورد نیاز آن ارائه می‌شود. همچنین فرآیند و شرایط آزمون‌های انجام شده و نیز مراحل مشخصه‌یابی المان‌های پیشنهادی در بخش (۴) ارائه خواهد شد. در نهایت، در بخش (۵) نتیجه‌گیری و خلاصه‌ای از مباحث مطرح شده، ارائه شده است.

۲- گیت قابل پیکربندی گرافنی

طراحی المان GRG به صورت فیزیکی و شماتیک در شکل ۱ نمایش داده شده است [۹، ۱۰]. این المان دارای شش پایانه الکتریکی می‌باشد. با توجه به شکل ۱ پایانه‌های الکتریکی GRG عبارتند از: دو پایانه‌ی U و Ubar که وظیفه ایجاد ناخالصی الکترواستاتیکی و کنترل پیکربندی افزاره را دارند. بدین صورت که وقتی ولتاژی مثبت به یکی از این پایانه‌ها اعمال می‌شود قسمت گرافنی روی آن به مانند وقتی عمل می‌کند که ناخالصی نوع n به آن وارد شده باشد. با توجه به اینکه دو پایانه در تمام شرایط منطق متفاوت از هم دارند، در حالت فرض شده، پایانه دیگر دارای ولتاژ منفی خواهد بود و ناحیه گرافنی واقع در روی آن مطابق زمانی رفتار خواهد کرد که نا خالصی نوع p به آن وارد شده باشد. بنابراین با توجه به اینکه این نوع ناخالصی از منشا الکترواستاتیکی به وجود می‌آید نوع آن را ناخالصی الکترواستاتیکی است. همچنین پایانه‌های A، B و S به عنوان ورودی‌های المان و پایانه Z نیز خروجی خواهد بود. ورودی S در این المان نیز زیر صفحه گرافنی قرار دارد که متعاقباً همانند پایانه‌های U و Ubar ناخالصی‌های الکترواستاتیکی متناظر را ایجاد خواهند نمود. در گیت قابل پیکربندی گرافنی صفحه گرافن به وسیله‌ی یک لایه اکسید یا به عبارت دیگر یک لایه عایق از پایانه‌های زیرین خود (پایانه‌های Ubar ،U و S) جدا می‌شود. پایانه‌های فلزی (پایانه‌های A، B و Z) نیز بر روی صفحه گرافن قرار می‌گیرند.

در شکل ۱ پارامترهای w، d و T_{ox} به ترتیب پارامتر طراحی مربوط به اندازه افزاره، کمینه اندازه (فاصله پایانه‌ها) در افزاره و ضخامت لایه اکسید در افزاره گرافنی هستند. با تنظیم و طراحی پارامتر w می‌توان خازن معادل در افزاره را نیز کنترل و طراحی نمود [۹، ۱۰]. علاوه بر پارامترهای ساختاری، ولتاژ تغذیه نیز از جمله پارامترهای موثر در طراحی به شمار می‌رود.

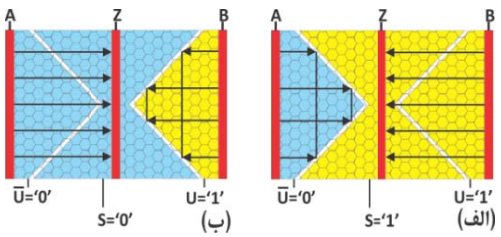


شکل ۱- گیت قابل پیکربندی گرافنی (GRG)، (الف) نمای سه بعدی، (ب) المان معادل GRG، (ج) نمای روبرو، (د) نمای از بالا [۱۱]

با فرض این که ورودی‌های کنترل پیکربندی افزاره U و Ubar، به ترتیب به ولتاژ سطح بالا (یک منطقی) و ولتاژ سطح پایین (صفر منطقی) متصل باشند، توضیح عملکرد افزاره در ادامه آورده شده است. با توجه به شکل ۲ با اعمال مقدار یک منطقی به گیت S، ناحیه گیت میانی به نوع n تبدیل می‌شود (رنگ زرد)، سپس یک ناحیه p-n در بین پایانه‌های Z و A به وجود می‌آید. مطابق شکل ۲ (الف) باریکه‌های الکترون وقتی به محل پیوند p-n مورب با زاویه ۴۵ درجه، می‌رسند با مقاومت بسیار زیاد R_{p-n} مواجه می‌شوند و اجازه عبور پیدا نمی‌کنند. در سمت دیگر حامل‌های پایانه‌ی B در مسیر حرکت خود به سمت پایانه Z فقط ناحیه n با مقاومت بسیار پایین R_{n-n} را می‌بینند. این حامل‌ها به راحتی از مسیر موجود عبور نموده و به پایانه‌ی Z وارد می‌شوند. در این صورت تابع خروجی Z=B در حالت ’S=‘1 به دست می‌آید.

با توجه توضیحات ارائه شده، در حالتی که گیت S برابر با ’0‘ منطقی باشد، مطابق شکل ۲ (ب) حامل‌های پایانه‌ی A در مسیر خود به پایانه Z فقط ناحیه p، یا به عبارتی مسیر با مقاومت پایین R_{p-p} را می‌بینند، و نهایتا تابع خروجی Z=A در حالت ’S=‘0 به دست می‌آید. به صورت خلاصه، اگر از دید مدار منطقی به این افزاره بنگریم، المان معرفی شده عملکردی شبیه به مالتی‌پلکسر با تابع منطقی Z=(((#S).A) + (S.B)) را ارائه می‌دهد.

با اعمال مقادیر مناسب به ورودی‌های A و B و گیت کنترلی S در افزاره معرفی شده، انواع توابع دو ورودی منطقی قابل پیاده‌سازی می‌باشد. از این موارد می‌توان به معکوس‌کننده و گیت‌های منطقی AND و OR اشاره کرد. حالت‌ها و توابع گوناگون قابل پیاده‌سازی دیگر در جدول ۱ قابل مشاهده است.



شکل ۲- عملکرد GRG، (الف) وقتی ’S=‘1 است، (ب) عملکرد وقتی ’S=‘0 است [۱۱]

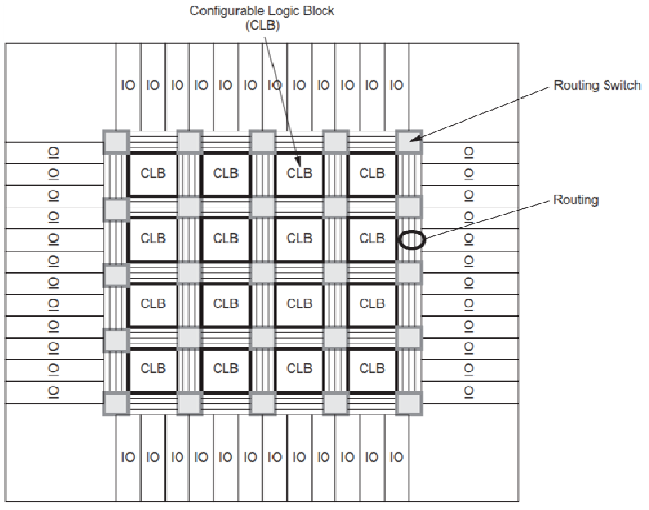
از مزایای این ساختار می‌توان به قابلیت پیکربندی مجدد آن و تغییر تابع منطقی با تغییر ولتاژ گیت‌های U و Ubar اشاره نمود. این خاصیت باعث می‌شود که حتی حین کار بتوان تابع عملکرد این المان را، با تعویض ولتاژ پایانه‌های کنترلی، تغییر داد. همان‌طور که در جدول ۱ مشاهده می‌شود، چهار تابع توسط U='1' ایجاد می‌شود؛ در این حین با تغییر به U='0' در توابع ایجاد شده S به S' تبدیل می‌شود و توابع جدید ایجاد می‌گردد.

جدول ۱- توابع حاصل از ورودی‌های مختلف در GRG [۱۰، ۱۲]

MUX	INV	AND	OR	
x, y → f, q; f=q'.x+q.y	1, 0 → f, q; f=q'	0, y → f, q; f=q.y	x, 1 → f, q; f=x+q	U=1
x, y → f, q; f=q.x+q'.y	1, 0 → f, q; f=q	0, y → f, q; f=q'.y ≡ (q+y')'	x, 1 → f, q; f=x+q'≡ (q.x')'	U=0
MUX	BUFFER	AND	OR	

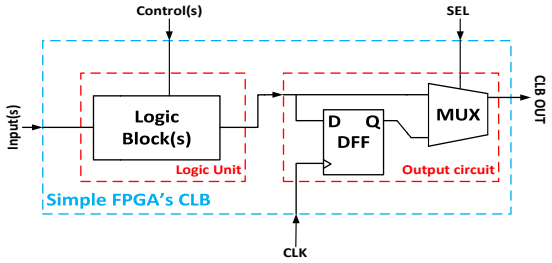
۳- طراحی بلوک منطقی قابل پیکربندی

به طور کلی مطابق شکل ۳ اجزاء یک تراشه FPGA به سه قسمت تقسیم می‌شود که عبارتند از: سیم‌کشی[۲]، کلیدهای انتخاب سیم‌کشی[۳] و بلوک منطقی قابل پیکربندی (CLB). با توجه به ارائه گزارش‌هایی در مورد سیم‌کشی و کلید در طراحی FPGA مبتنی بر گرافن [۹]، نیاز به یک CLB تمام گرافنی نیز برای رسیدن به یک FPGA تمام گرافنی ضرورت دارد. با در نظر گرفتن عدم ارائه گزارشی مبنی بر طراحی CLB براساس المان GRG، در ادامه این تحقیق برای اولین بار به طراحی و مشخصه‌یابی CLB تمام گرافنی مبتنی بر GRG می‌پردازد.



شکل ۳- طرح نمونه از داخل تراشه FPGA

بطور کلی یک CLB از دو بخش تشکیل می‌شود؛ بخش اول، واحد منطقی است که شامل مدار قابل پیکربندی و تولید کننده توابع منطقی است. بخش دوم نیز مدار خروجی است که با کنترل ورودی‌های آن می‌توان نوع خروجی را به صورت خروجی مستقیم (ترکیبی)، که در طراحی مدارهای ترکیبی مورد استفاده است، یا خروجی زمانبندی شده (ترتیبی)، که در طراحی مدارهای ترتیبی مورد استفاده است، مشخص نمود. در شکل ۴ بخش اول با نام Logic Unit و بخش دوم نیز با نام Output Circuit قابل مشاهده است. در ادامه به بررسی روند طراحی این بخش‌ها پرداخته می‌شود.

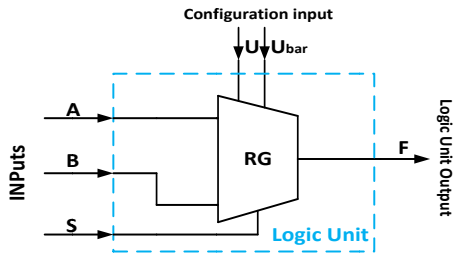


شکل ۴- طرح پایه برای یک CLB

۳-۱- واحد منطق[۴]

وظیفه واحد منطق فراهم آوردن عملکرد توابع منطقی مختلف در کنار ارائه قابلیت پیکربندی است. به عنوان مثال با توجه به شکل ۴ با تعیین سیگنال(های) کنترل ((Control(s))، می‌توان توابع منطقی مانند: AND، OR و NOT را به ورودی(ها) (Inputs(s)) اعمال نمود و نتیجه را در خروجی واحد منطق دریافت کرد.

یکی از المان‌هایی که می‌تواند عملکرد اشاره شده را تحقق بخشد، یک مالتی‌پلکسر است. همانطور که در بخش قبل اشاره شده، یک گیت قابل پیکربندی گرافنی به طور طبیعی می‌تواند عملکردی شبیه یک مالتی‌پلکسر را در اختیار قرار می‌دهد. در کنار این خصوصیت می‌توان این مورد را نیز اضافه کرد که با اعمال مناسب سیگنال به ورودی‌های کنترل یک GRG می‌توان پیکربندی افزاره را نیز تغییر داد (رجوع شود به جدول ۱). این مورد باعث می‌شود که خصوصیت قابلیت پیکربندی مجدد نیز به افزاره نهایی اضافه شود. بنابراین طرح مداری واحد منطق به شکل ۵ طراحی و پیشنهاد شده است.

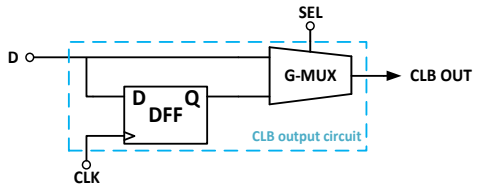


شکل ۵- طرح مداری پیشنهادی جهت دستیابی به واحد منطق مبتنی بر GRG

۳-۲- مدار خروجی[۵]

مدار خروجی کارکرد و وظیفه‌ای یکسان در طراحی CLBها دارد و از ایده‌ای ثابت پیروی می‌کند. این بخش با توجه به شکل ۶ باید بتواند با اعمال سیگنال متناسب به ورودی انتخاب (SEL) در دو حالت متفاوت قرار گیرد. بدین صورت که در یک حالت به صورت مستقیم ورودی (D) را به خروجی انتقال دهد. در حالت دیگر، این بخش باید قادر باشد که ورودی (D) پس از دریافت پالس ساعت (CLK) به خروجی انتقال دهد. به عبارت دیگر در حالت دوم ورودی پس از زمان مشخصی و معین در خروجی ظاهر می‌شود.

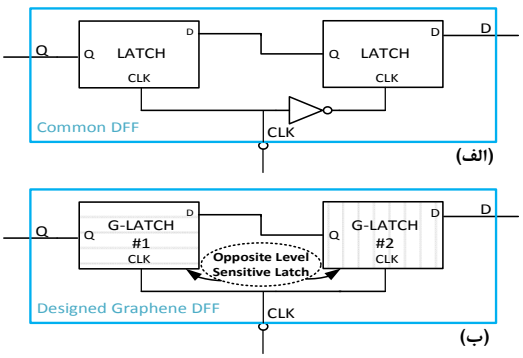
همانطور که در شکل ۶ مشاهده می‌شود، در مدار خروجی از DFF به عنوان المان زمانبندی استفاده شده است که در ادامه روند طراحی آن به عنوان مدار داخلی بخش مدار خروجی، ارائه می‌شود. این المان وظیفه نگهداری مقدار قبلی را تا قبل از اعمال پالس ساعت دارد و پس از رخ داد پالس ساعت مقدار جدید را به ورودی مالتی‌پلکسر خروجی جهت ارسال به خروجی CLB ارائه می‌کند. با این عمل خروجی نهایی یک خروجی زمان بندی شده خواهد بود.



شکل ۶- طرح مداری پیشنهادی جهت دست‌یابی به مدار خروجی CLB

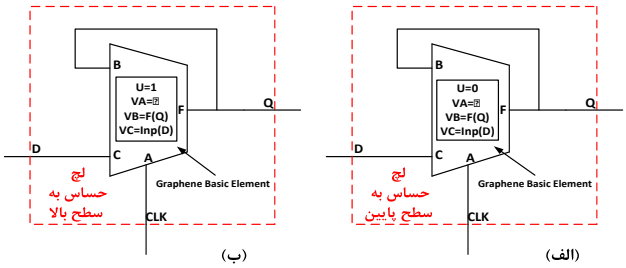
۳-۳- طراحی DFF گرافنی

برای دستیابی به یک فلیپ‌فلاپ نوع-D، در میان طرح‌های مداری موجود در طراحی ASIC[۶]، استفاده از لچ‌های پایه و پیرو طرحی پذیرفته شده است [۱]. طرح پایه DFF در شکل ۷ (الف) قابل مشاهده است. جهت دستیابی به DFF نیاز است که دو لچ با حساسیت به سطح متفاوت به صورت سری قرار گیرند. در حالت معمول نیاز است که یا دو نوع لچ با حساسیت به سطح متفاوت طراحی شوند و یا اینکه از بین دو لچ یکسان، در ورودی یک لچ، یک گیت معکوس کننده قرار گیرد تا حساسیت به سطح تغییر کند. اما یکی از مزایای لچ گرافنی که در ادامه معرفی می‌شود، این است که تنها با اعمال ولتاژ متفاوت به پایانه پیکربندی آن، حساسیت به سطح تغییر خواهد کرد. بنابراین طرح نهایی برای فلیپ‌فلاپ پیشنهادی به شکل ۷ (ب) خواهد بود. از مزایای این طرح کاهش مصرف توان و سطح مصرفی تراشه و افزایش سرعت افزاره است. به علاوه، اثر بار گذاری بر روی شبکه پالس ساعت نیز کاهش می‌یابد که امری بسیار مهم در طراحی تراشه‌های با پیچیدگی بالا همانند FPGA است.

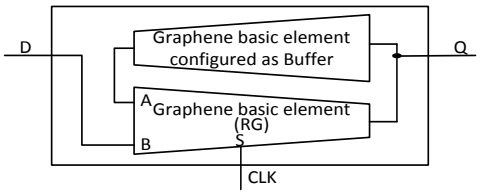


شکل ۷- طرح پایه و پیرو جهت دستیابی به DFF، (الف) طرح پایه پیرو متداول، (ب) طرح پایه و پیرو پیشنهادی برای DFF گرافنی

با بهره‌گیری از خاصیت مالتی‌پلکسری گیت پایه گرافنی (GRG)، طرح لچ مطابق شکل ۸ پیشنهاد می‌شود. همان‌گونه که در این شکل مشاهده می‌شود با تغییر سیگنال U (و متعاقباً Ubar) در المان گرافنی پایه، حساسیت به سطح که از ویژگی‌های یک لچ می‌باشد، تغییر می‌نماید. با استفاده از طرح ارائه شده، جهت دست‌یابی به یک لچ مقاوم در برابر اثر بارگذاری طبقات بعد، طرح مفهومی نهایی با خروجی بهینه شده برای تغذیه چهار معکوس کننده به عنوان ورودی طبقه بعد (FO4[۷])، توسط یک بافر مطابق شکل ۹ ارائه شد.



شکل ۸- طرح پیشنهادی برای لچ، (الف) لچ حساس به سطح پایین، (ب) لچ حساس به سطح بالا



شکل ۹- طرح نهایی لچ با خروجی مقاوم شده در برابر اثر بارگذاری طبقه بعد

۴- مشخصه‌یابی بلوک منطقی قابل پیکربندی

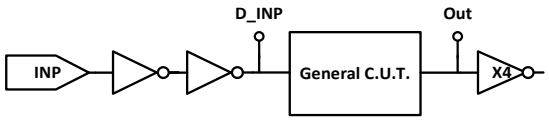
گیت پایه گرافنی یا به عبارت دیگر GRG دارای در یک مدل وریلاگ آنالوگ (Verilog-A) توسط مراجع [۹، ۱۱] ارائه شده است. از ویژگی این مدل می‌توان به قابلیت شبیه‌سازی آن در محیط‌های شبیه‌سازی مداری مانند HSPICE اشاره کرد. در این تحقیق نیز با استفاده از نرم‌افزار HSPICE و مدل Verilog-A شبیه‌سازی‌ها انجام شده است. لازم است اشاره شود که در تمام شبیه‌سازی‌ها از دمای ۲۵ درجه سانتیگراد استفاده شده است.

۴-۱- روش آزمون و بررسی افزاره‌های پیشنهادی

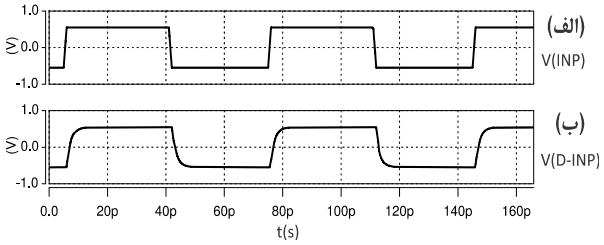
برای بدست آوردن مشخصه‌های زمانی مدار مورد تست (C.U.T.[۸]) طراحی شده و بررسی عملکرد افزاره‌های پیشنهادی از ساختار مداری مطابق شکل ۱۰ استفاده شده است. در این مدار هر یک از ورودی‌ها از دو گیت معکوس کننده عبور کرده و به افزاره اعمال شده است. این عمل باعث می‌شود تا رفتار ورودی در شبیه‌سازی‌ها از حالت ایده‌آل و غیرواقعی به یک حالت واقعی و طبیعی برسد و نتایج نیز به آنچه در واقعیت رخ خواهد داد نزدیکتر شود [۱۳]. این مورد را می‌توان از رفتار سیگنال ورودی بعد از عبور از دو معکوس کننده در شکل ۱۱ مشاهده کرد، مطابق این شکل لبه‌های تیز سیگنال ورودی که ناشی از رفتار ایده‌آل منابع تعریف شده در نرم‌افزار شبیه‌ساز است به لبه‌های نرم و مشابه آنچه که در واقعیت مشاهده می‌شود تبدیل شده است.

به علاوه این ساختار، در خروجی مدار مورد آزمایش نیز بار FO4 اعمال می‌نماید تا عملکرد افزاره‌ی مورد آزمایش را در شرایط مداری با بارگذاری طبقات بعدی مورد بررسی قرار دهد. با اعمال بار FO4 که معادل ورودی چهار گیت معکوس کننده است می‌توان از عملکرد صحیح افزاره در اکثر شرایط بارگذاری مداری، اطمینان حاصل نمود. مطابق آنچه اشاره شد که در این مطالعه،

شبیه‌سازی‌ها با کمک نرم افزار HSPICE انجام شده است. مدل رفتاری گیت پایه گرافنی که با استفاده از کدهای Verilog-A توصیف شده است، نیز در حال حاضر در دسترس است و با اضافه شدن این کدها به مفسر داخلی HSPICE، امکان به کارگیری این المان در طراحی‌های مداری و تحلیل آن توسط نرم‌افزار HSPICE میسر می‌شود.



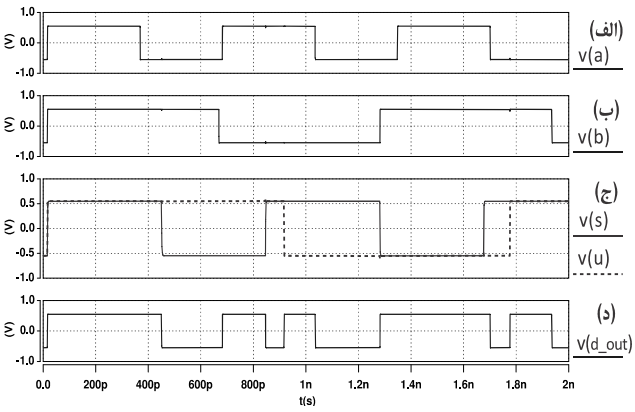
شکل ۱۰- ساختار مداری جهت تست و شبیه‌سازی افزاره‌های طراحی شده (C.U.T. مدار تحت آزمایش)



شکل ۱۱- رفتار مشابه حالت طبیعی سیگنال ورودی پس از عبور از دو معکوس کننده، (الف) سیگنال ورودی ایده‌آل، (ب) سیگنال واقعی شده‌ی ورودی

۴-۲- شبیه‌سازی واحد منطق

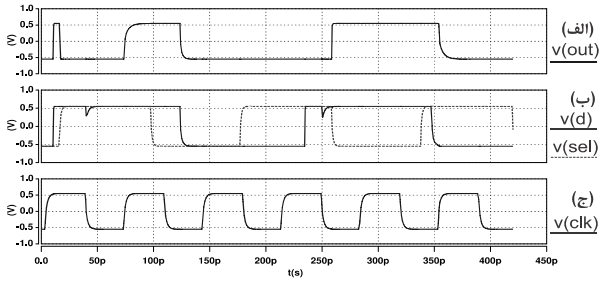
به علت نوع اتصال این واحد به طبقه بعد مطابق شکل ۴ در این مرحله از اتصال بار FO4 به خروجی واحد منطق برای شبیه‌سازی‌ها صرف‌نظر شده است و تنها ورودی‌ها جهت دست‌یابی به رفتار طبیعی از دو معکوس کننده عبور نموده‌اند. نتایج شبیه‌سازی عملکردی این واحد در شکل ۱۲ ارائه شده است، که مطابق این شکل، رفتار مطلوب از واحد منطق مشاهده می‌شود. به عنوان مثال در زمان ۱ نانوثانیه مقادیر منطقی موجود روی پایانه‌ها بدین شرح است: پایانه‌های a و s مقدار منطقی ’1‘ و پایانه‌های b و u مقدار منطقی ’0‘. بنابراین مطابق عملکرد توضیح داده شده برای این المان در بخش‌های پیشین، مقدار خروجی باید برابر ’1‘ منطقی باشد که صحت عملکرد این المان در چنین شرایطی با توجه به نتایج شبیه‌سازی در شکل ۱۲ قابل استنباط است.



شکل ۱۲- نتایج شبیه‌سازی واحد منطق، (الف) ورودی A، (ب) ورودی B، (ج) ورودی انتخاب S (خط پیوسته)، ورودی U (نقطه چین)، خروجی واحد منطق

۴-۳- شبیه‌سازی مدار خروجی

قسمت مدار خروجی در طراحی یک CLB در شکل ۶ نشان داده شد. این بخش با در نظر گرفتن شرایط اعمالی به مدار تست که در روش آزمون اشاره شد، مورد آزمون و شبیه‌سازی قرار گرفت. نتایج شبیه‌سازی بخش مدار خروجی در شکل ۱۳ نمایش داده شده است.



شکل ۱۳- نتایج شبیه‌سازی مدار خروجی، (الف) خروجی Q، (ب) ورودی D (خط پیوسته)، ورودی انتخاب SEL (نقطه چین)، (ج) پالس ساعت CLK

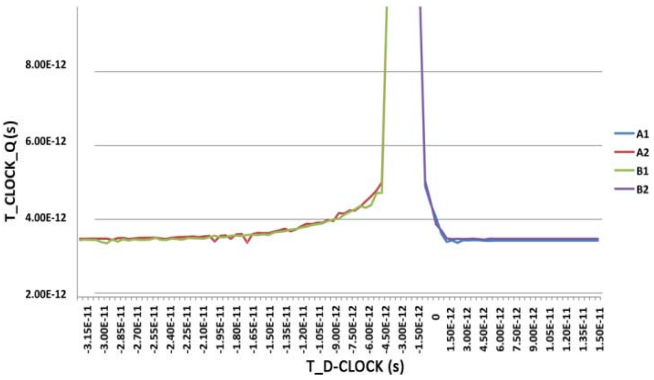
مطابق شکل ۱۳ عملکرد مطلوب در مدار خروجی مشاهده می‌شود. توضیح شکل ۱۳ بدین شرح است که زمانی که خط انتخاب S در وضعیت غیرفعال قرار دارد خروجی وضعیت ورودی را دنبال می‌کند. در حالت دیگر نیز وقتی خط انتخاب در حالت فعال قرار می‌گیرد، خروجی وضعیت ورودی را پس از اعمال پالس ساعت دنبال خواهد کرد. به عنوان یک مثال خوب می‌توان رفتار این مدار را در حوالی زمان صفر در نظر گرفت. در این لحظه ابتدا پالس ساعت اعمال می‌شود بنابراین DFF مقدار فعلی ورودی خود که ’0‘ هست را ذخیره می‌کند ولی چون مدار در حال عبور مستقیم سیگنال هست تا زمانی که خط sel از حالت ’0‘ به ’1‘ منطقی تغییر نکرده است خروجی همان مقدار ورودی است. بعد از تغییر سطح خط sel مقدار ذخیره شده‌ی DFF را در خروجی می‌بینیم. این مقدار تا اعمال پالس ساعت بعدی و تغییر خروجی DFF حفظ شده است. توضیحات بیشتر در مورد طراحی DFF در ادامه ذکر می‌شود.

۴-۴- مشخصه‌یابی DFF

این تحقیق، جهت مشخصه‌یابی و تعیین پارامترهای زمانی فلیپ‌فلاپ طراحی شده از روش یافتن ماکزیمم تاخیر در خروجی نسبت به تاخیر ورودی استفاده نموده است [۱۴].

با استفاده از روش اشاره شده، DFF پیشنهادی مورد بررسی قرار داده شد و با توجه به حالت اولیه خروجی (سطح بالا یا سطح پایین) و نوع لبه ورودی (بالا رونده یا پایین رونده) چهار حالت مختلف جهت استخراج بدترین شرایط ممکن در پارامترهای زمانی مورد آزمون قرار گرفت و نتایج شبیه‌سازی در شکل ۱۴ به نمایش گذاشته شده است. لازم به ذکر است که تنظیم پارامترهای افزاره گرافنی منطبق با تکنولوژی ۴۵- نانومتر که توسط ITRS اعلام شده است، صورت پذیرفته است [۲]. با توجه به خلاصه نتایج مشخصه‌یابی زمانی موجود در جدول ۲، فلیپ‌فلاپ گرافنی (GDFF) سرعتی ۵۸ برابری نسبت به مشابه سیلیکونی موجود خود (CDFF) [۱، ۱۵] در تکنولوژی ۴۵- نانومتر نشان می‌دهد. جهت مقایسه افزاره‌ها از لحاظ توان متوسط مصرفی نیز از بار FO4 صرف‌نظر و بار فیزیکی یکسان مقاومتی- خازنی اضافه شد. این تغییر باعث می‌شود که معیاری یکسان برای مقایسه توان مصرفی افزاره‌ها در حضور بار بدست آید تا مقایسه انجام شده از

درجه اعتبار و دقت بالاتری برخوردار باشد. در اینجا بار فیزیکی به شرح مقاومت ۱۰ اهمی سری با خروجی و متصل به خازن زمین شده با ظرفیت ۰/۶ فمتو فاراد در نظر گرفته شده است. در ادامه برای مشخص شدن شایستگی عملکردی DFFهای ارائه شده از پارامتر استاندارد حاصل‌ضرب تاخیر در توان PDP[۹] استفاده شد. این ضریب شایستگی هر مقدار کوچکتر باشد افزاره سریعتر و کم مصرف‌تر خواهد بود. با توجه به اطلاعات موجود در جدول ۲ به وضوح دیده می‌شود که GDFF از ضریب شایستگی حدود ۳۱ برابر بهتر از CDFF برخوردار است.



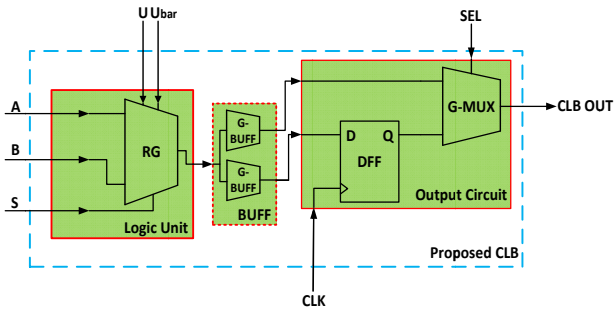
شکل ۱۴- نتایج شبیه‌سازی DFF تحت روش آزمون ماکزیمم تاخیر جهت دستیابی به پارامترهای زمانی آن

جدول ۲- مقایسه پارامترهای زمانی GDFF و CDFF

	Power (uW)	Timings (ps)				PDP (W.s)
		Setup time	Hold time	Cont.[۱۱] delay	Prop.[۱۰] delay	
Graphene	6.88	7.5	-1.5	3.34	4.82	33.14
Silicon	3.71	115	-70	251	281	1042.51
|Ratio (Si/G)|	0.54	15.33	46.67	75.15	58.3	31.46

۴-۵- شبیه‌سازی عملکرد و مشخصه‌یابی CLB

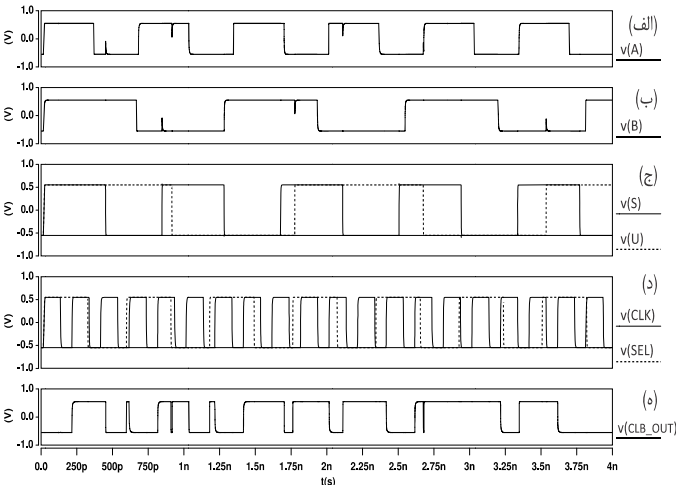
پس از آماده سازی دو بخش مورد نیاز CLB با اتصال آنها از طریق دو بافر مطابق شکل ۱۵ به بررسی عملکرد آن توسط شبیه‌سازی حالات ممکن پرداخته شد. شرایط آزمایش شبیه‌سازی در این مورد نیز مطابق روش آزمون اشاره شده تنظیم و طراحی شد و نتایج این آزمون در شکل ۱۶ ارائه شده است. مطابق شکل ۱۶ تمامی حالات ممکن در عملکرد CLB پیشنهادی بررسی شده است و صحت عملکرد آن مورد اثبات قرار گرفته است.



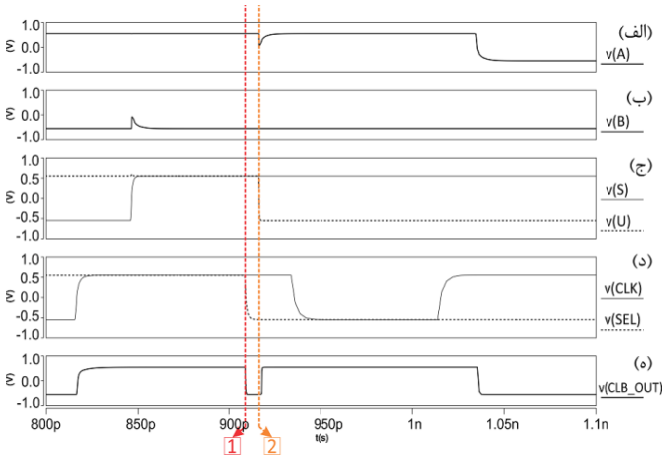
شکل ۱۵- ساختار CLB پیشنهادی همراه با نام‌گذاری پایانه‌های آن

شبیه‌سازی‌ها برای یافتن مشخصات زمانی CLB پیشنهادی بدین شرح ادامه یافت، که با توجه به در دست داشتن مقادیر تاخیر در DFF، مشخصات زمانی مربوط به CLB با ثابت نگه داشتن مدار خروجی در حالت انتقال مستقیم، مورد بررسی قرار گرفت و نتایج استخراج شد و در جدول ۳ ارائه شده است.

به منظور بررسی دقیق‌تر شکل ۱۶ به عنوان نمونه با تمرکز بر روی قسمت مناسبی از آن در شکل ۱۷ به بررسی عملکرد مدار به شرح زیر پرداخته شده است. مطابق شکل ۱۷ در خط زمانی شماره "۱" (خط قرمز رنگ) به لبه پایین رونده خط SEL اشاره شده است در حالیکه خطوط ’S‘ و ’U‘ در سطح یک منطقی قرار دارند. بنابراین با تغییر مقدار SEL به صفر منطقی، خروجی که در حالت عبور مستقیم است باید برابر ’B‘ شود؛ که این حالت به درستی دنبال شده است. در حالت بعدی خط زمانی شماره "۲" (خط نارنجی) تغییر حالت خط ’U‘ را با حفظ حالت قبلی مدار را نشان می‌دهد. به دلیل این تغییر، واحد منطق مقدار ’A‘ را باید به خروجی انتقال دهد. صحت این عملکرد نیز در خروجی به وضوح قابل مشاهده هست بعلاوه اینکه تاثیر بارگذاری میرا شونده روی ورودی ’A‘ نیز مشخص است.



شکل ۱۶- نتایج شبیه‌سازی عملکرد CLB پیشنهادی، (الف) ورودی A، (ب) ورودی B، (ج) ورودی انتخاب واحد منطق S (خط پیوسته)، ورودی پیکربندی U (نقطه چین)، (د) پالس ساعت CLK (خط پیوسته)، انتخاب خروجی SEL (نقطه چین)، (ه) خروجی نهایی CLB-OUT



شکل ۱۷- بزرگ‌نمایی قسمتی از شکل ۱۶ جهت بررسی دقیق‌تر. نتایج شبیه‌سازی عملکرد CLB پیشنهادی، (الف) ورودی A، (ب) ورودی B، (ج) ورودی انتخاب واحد منطق S (خط پیوسته)، ورودی پیکربندی U (نقطه چین)، (د) پالس ساعت CLK (خط پیوسته)، انتخاب خروجی SEL (نقطه چین)، (ه) خروجی نهایی CLB-OUT

با توجه به مقادیر گزارش شده در جدول ۳، مشاهده می‌شود که CLB پیشنهادی در حالت انتقال مستقیم خروجی واحد منطق، در بدترین شرایط ممکن، تاخیری در حدود ۱/۵۴ پیکو- ثانیه از خود نشان می‌دهد. در صورتیکه حالت انتقال زمان‌بندی شده مد نظر گیرد با تاخیر انتشار DFF (موجود در جدول ۲) را نیز به مقدار اشاره شده اضافه کرد.

جدول ۳- مشخصات زمانی CLB پیشنهادی در حالت انتقال مستقیم خروجی واحد منطق به خروجی CLB

					Logic Unit output		CLB_OUT (Direct Mode)	
					min	Max	min	Max
	A	B	S	U	Delay (s)			
A	---	0	0	1	4.58E-13	9.20E-13	6.02E-13	8.02E-13
		1			8.95E-13	1.26E-12	5.00E-13	1.08E-12
		0	1	0	1.22E-12	1.25E-12	1.11E-12	1.14E-12
		1			1.16E-12	6.12E-13	9.54E-13	9.99E-13
B	0	---	0	0	9.68E-13	1.20E-12	6.42E-13	1.01E-12
	1				1.11E-12	1.29E-12	1.05E-12	1.27E-12
	0		1	1	1.11E-12	1.29E-12	1.05E-12	1.27E-12
	1				1.11E-12	1.28E-12	1.04E-12	1.27E-12
S	0	1	---	0	1.53E-12	1.57E-12	1.47E-12	1.51E-12
	1	0			1.46E-12	1.60E-12	1.46E-12	1.50E-12
	0	1		1	1.55E-12	1.58E-12	1.52E-12	1.54E-12
	1	0			1.36E-12	1.44E-12	1.23E-12	1.34E-12
U	0	1	0	---	1.42E-12	1.43E-12	1.36E-12	1.40E-12
	1	0			1.52E-12	1.54E-12	1.46E-12	1.51E-12
	0	1	1		1.29E-12	1.41E-12	1.28E-12	1.28E-12
	1	0			1.42E-12	1.43E-12	1.37E-12	1.37E-12

۵- نتیجه‌گیری

در این مقاله با تمرکز بر طراحی بلوک منطقی قابل پیکربندی، طراحی آن در سطح مداری ارائه شد و مورد بررسی قرار گرفت. این تحقیق قابلیت به کارگیری گیت قابل پیکربندی گرافنی را در طراحی‌های مداری نشان داد، به علاوه اینکه از پایانه‌ی پیکربندی این گیت به عنوان یک ورودی استفاده شد تا آزادی عمل بیشتر و بهتری برای دست‌یابی به یک CLB حاصل آید.

در ادامه، طراحی مدارهای داخلی CLB از جمله Latch و DFF در این مطالعه ارائه شد و بهینه‌سازی و مشخصه‌یابی لازم انجام پذیرفت تا علاوه بر استفاده این المان‌ها در مدار داخلی CLB، بتوان از این المان‌ها به صورت جداگانه نیز استفاده کرد.

بلوک منطقی قابل پیکربندی ارائه شده در این مطالعه، سرعتی به مراتب بالاتر نسبت به مشابه سیلیکونی خود نشان داد، چرا که گره حیاتی آن که انتظار بیشترین تاخیر در آن می‌رود، یعنی DFF، سرعتی حدود ۵۸ برابر بیشتر از مشابه خود در تکنولوژی سیلیکونی نشان می‌دهد.

سپاسگزاری

مولفین بر خود لازم می‌دانند که از همکاری علمی جناب آقای دکتر سندیپ میریالا (Sandeep Miryala) از موسسه ملی فیزیک زیر اتمی (Nikhef) هلند، تشکر و قدردانی به عمل آورند.

مراجع

[1] N. Weste and D. Harris, *CMOS Vlsi Design*, 4th ed. Boston, MA: Pearson Addison Wesley, 2011.

[2] ITRS. (2014). *International Technology Roadmap for Semiconductor*. Available: http://www.itrs2.net/

[3] S. Srinivasan, A. Sarkar, B. Behin-Aein, and S. Datta, "All-spin logic device with inbuilt nonreciprocity," *IEEE Trans. Magnetics*, vol. 47, pp. 4026-4032, 2011.

[4] ITRS, "Emerging research devices," 2005.

[5] F. Schwierz, "Graphene transistors," *Nature Nanotechnology*, vol. 5, pp. 487-496, 2010.

[6] A. K. Geim, and K. S. Novoselov, "The rise of graphene," *Nature Materials*, vol. 6, pp. 183-191, 2007.

[7] Z. Chen, Y.-M. Lin, M. J. Rooks, and P. Avouris, "Graphene nano-ribbon electronics," *Physica E: Low-Dimensional Systems and Nanostructures*, vol. 40 ,pp. 228-232, 2007.

[8] X. Wang, Y. Ouyang, X. Li, H. Wang, and et. al., "Room-temperature all-semiconducting sub-10-nm graphene nanoribbon field-effect transistors," *Physical Review Letters*, vol. 100, pp. 206803, 2008.

[9] S. Tanachutiwat, "Graphene-based post-CMOS architecture," State University Of New York At Albany, 2012.

[10] S. Tanachutiwat, J. Ung Lee, W. Wang, and C. Y. Sung, "Reconfigurable multi-function logic based on graphene pn junctions," *Design Automation Conference (DAC), Anaheim, CA*, pp. 883-888, 2010.

[11] S. Miryala, M. Montazeri, A. Calimera, E. Macii, and et. al., "A verilog-a model for reconfigurable logic gates based on graphene pn-junctions," in *Proc. of the Conference on Design, Automation and Test in Europe*, pp. 877-880, 2013.

[12] S. Miryala, A. Calimera, E. Macii, M. Poncino, and et. al., "Investigating the behavior of physical defects in pn-junction based reconfigurable graphene devices," in *14th Latin American Test Workshop (LATW)*, pp. 1-6, 2013.

[13] V. G. Oklobdzija, V. M. Stojanovic, D. M. Markovic, and N. M. Nedovic, *Digital system clocking: high-performance and low-power aspects*, John Wiley & Sons, 2005.

[14] N. Nedovic, W. W. Walker, and V. G. Oklobdzija, "A test circuit for measurement of clocked storage element characteristics," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 1294-1304, 2004.

[15] PTM. Predictive Technology Model [Online]. Available: http://ptm.asu.edu.

سیدعلی سیف کاشانی دانش‌آموخته در مقاطع کارشناسی و کارشناسی‌ارشد از دانشگاه کاشان در رشته مهندسی برق با گرایش الکترونیک است. علاقه وی در زمینه‌های تحقیقاتی الکترونیک دیجیتال، ساخت و طراحی مدار و بوردهای الکترونیکی و برنامه‌سازی مدارهای کنترلی است. کسب رتبه برتر در مقاطع کارشناسی و کارشناسی‌ارشد به همراه اتخاذ عناوین برتر مسابقات ملی جز افتخارات علمی و پژوهشی وی می‌باشد. وی از سال ۱۳۹۲ به تحقیقات در حوزه‌ی مواد و ساختارهای نوین فراسیلیکنی و گرافن پرداخته است و نتایج این تحقیقات در قالب مقالات در کنفرانس‌ها و نشریات داخلی و خارجی در دسترس قرار گرفته است.

آدرس پست‌الکترونیکی ایشان عبارت است از:
s.a.seif.k@grad.kashanu.ac.ir

حسین کریمیان علی‌داش مدرک کارشناسی‌ارشد و دکتری خود را در رشته‌ی مهندسی برق، گرایش الکترونیک به ترتیب در سالهای ۱۳۸۰ و ۱۳۸۹ از دانشگاه صنعتی اصفهان اخذ کرده و از سال ۱۳۸۹ و پس از طی یک دوره پسادکتری عضو هیئت علمی دانشگاه کاشان است. حوزه تخصصی فعالیت‌های پژوهشی ایشان طراحی سیستم‌ها و مدارهای دیجیتال کم‌مصرف، قابلیت اطمینان، ساختارها و مواد نوظهور، مدارهای پردازش تصویر و همچنین منابع تغذیه و کاربردهای صنعتی است. در این زمینه‌ها، تاکنون مقالات متعددی در مجلات و کنفرانس‌های معتبر داخلی و خارجی از ایشان به چاپ رسیده است.

آدرس پست‌الکترونیکی ایشان عبارت است از:
hkarimiyan@kashanu.ac.ir

اطلاعات بررسی مقاله:

تاریخ ارسال: ۱۳۹۵/۰۴/۰۲
تاریخ اصلاح: ۱۳۹۵/۰۵/۱۴
تاریخ قبول شدن: ۱۳۹۵/۰۶/۱۳
نویسنده مرتبط: دکتر حسین کریمیان علی‌داش، دانشکده برق و کامپیوتر، دانشگاه کاشان، کاشان، ایران.

---

[1]Graphene Re-Configurable Gate
[2]Routing
[3]Switches
[4]Logic Unit
[5] Output Circuit
[6]Application-Specific Integrated Circuit
[7]Fan-Out of Four
[8]Circuit Under Test
[9] Power Delay Product
[10]Propagation
[11]Contamination