علوم رایانش و فناوری اطلاعات
نشریه علمی انجمن کامپیوتر ایران
مجلد ۲۱، شماره ۱، ۱۴۰۲
صفحات ۱-۸
مقاله پژوهشی

ارائه مدلی جهت تبدیل موجک گسسته کارآمد مبتنی بر سیستم اعداد مانده‌ای

امیرحسین هادی‌پور[۱]، سهیل فلاح باقری‌نژاد[۲]، محمد صالحی[۳]، حمیدرضا احمدی‌فر[۴*]

*نویسنده مسئول، دریافت: ۱۴۰۲/۰۸/۱۸، بازنگری: ۱۴۰۲/۱۰/۱۱، پذیرش: ۱۴۰۲/۱۱/۱

[۱و۲] دانشجوی کارشناسی ارشد، دانشکده فنی، دانشگاه گیلان، رشت، ایران
[۳و۴] استادیار، دانشکده فنی، دانشگاه گیلان، رشت، ایران

چکیده

یکی از بخش‌های پرکاربرد در پردازش سیگنال دیجیتال، تبدیل موجک گسسته است. عملکرد سریع تبدیل موجک گسسته می‌تواند باعث بهبود خروجی مدارهای پردازش سیگنال گردد. در پیاده‌سازی تبدیل موجک گسسته می‌توان از بانک فیلتر CDF97 با ضرایب عددی صحیح استفاده نمود که این امکان را فراهم می‌کند تا یکی از روش‌های افزایش سرعت، یعنی سیستم عددی مانده‌ای استفاده شود. این روش در تحقیقات قبلی در پیاده‌سازی تبدیل موجک گسسته نیز به‌کاررفته است. در مقاله حاضر از مجموعه پیمانه‌ای$\{2^{n+1}-1, 2^n, 2^n-1\}$ استفاده‌شده است. مدارهای موردنیاز برای انجام تبدیل موجک گسسته طراحی‌شده و عملکرد آن مورد ارزیابی قرارگرفته است. نتایج ارزیابی نشان داد که با درنظرگرفتن همه مراحل عملیات پیمانه‌ای برای هر ورودی؛ یعنی تبدیل مستقیم، عملیات پیمانه‌ای و تبدیل معکوس، تأخیر مدار از محاسبات دودویی بهتر نیست؛ اما با پیاده‌سازی مدار عملیات پیمانه‌ای به‌صورت لوله‌ای می‌توان از مزایای آن استفاده کرد. نتایج سنتز مدار پیشنهادی نشان می‌دهد که میزان تأخیر در مقایسه با روش دودویی تقریباً ۵۰ درصد بهبودیافته است.

کلمات کلیدی: بهبود عملکرد محاسباتی، تبدیل موجک گسسته، سیستم اعداد مانده‌ای، محاسبات پیمانه‌ای.

۱- مقدمه

تبدیل موجک (WT)[1] یک روش پردازش سیگنال خطی است که باعث انتقال سیگنال از دامنه زمان به دامنه موجک می‌گردد [۱]. تبدیل موجک به دودسته تبدیل موجک پیوسته و گسسته تقسیم می‌شود. تبدیل موجک گسسته نسبت به نوع پیوسته آن نیاز به حجم محاسباتی کمتری دارد و بنابراین زمان پردازش سیگنال را کاهش می‌دهد. بعلاوه تعداد ضرایب تبدیل موجک گسسته نسبت به انبوه ضرایب حاصل از تبدیل موجک پیوسته کمتر بوده و تحلیل رفتار این ضرایب در شرایط مختلف پدیده‌های گذرا، آسان‌بازشو [۲].

تبدیل موجک ابزار قدرتمندی است که برای تحلیل سیگنال‌های گذرا کاربرد داشته و قادر به بیان ویژگی‌های سیگنال در حوزه زمان و فرکانس است. توابع مقیاس و مادر تبدیل موجک به‌صورت زیر تعریف می‌شوند [۱]:

$$\psi(t) = \sqrt{2}\, g_n \psi\,[2t-n] \quad (1)$$

$$\varphi(t) = \sqrt{2}\sum_n h_n\ \varphi[2t-n] \quad (2)$$

$\varphi(t)$ تابع مقیاس و $\psi(t)$ تابع موجک پایه (موجک مادر) برای یک سری از ضرایب موجک به‌صورت $H = \{h_a\}$ و $G = \{g_n\}$ هستند که در آن $g_n = (-1)^n h_{1-n}$ است (G معکوس H است). هر تابع مقیاس و پایه، یک سری ضرایب

1. Wavelet Transform

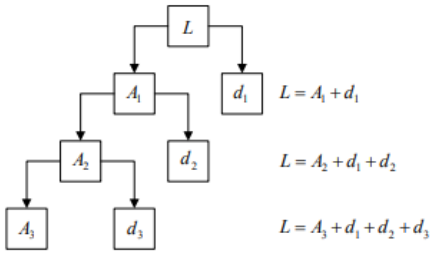
فیلترهایی با پاسخ ضربه محدود فرکانس بالا و فرکانس پایین هستند. این ضرایب برای ساختن یکسری توابع به‌صورت $\varphi_{j.k}(t)$ و $\psi_{j.k}(t)$ که بر اساس توابع موجک پایه ساخته می‌شوند، به کار می‌روند. این توابع به ترتیب توابع مقیاس دهی شده و انتقال‌یافته توابع $\varphi(t)$ و $\psi(t)$ هستند و به‌صورت زیر تعریف می‌شوند:

$$\psi_{j.k}(t) = 2^{\frac{1}{2}} \sum_{k} d_{j.k}\ \psi\left[2^j t - k\right] \quad (3)$$

$$\varphi_{j.k}(t) = 2^{\frac{1}{2}} \sum_{k} c_{j.k}\ \varphi\left[2^j t - k\right] \quad (4)$$

که در این روابط j و k اعداد صحیح بوده و توابع پایه توسط فاکتور 2^j مقیاس دهی و با واحدهای زمانی k انتقال داده می‌شوند.

تبدیل موجک گسسته، طی سطوح متوالی، سیگنال را به چندین مؤلفه فرکانسی تجزیه می‌کند. مطابق شکل (۱)، در سطح اول، سیگنال به دو مؤلفه فرکانس پایین و فرکانس بالا تجزیه می‌شود که در آن L سیگنال اصلی، A_i تقریب و d_i جزئیات است[۳].



شکل ۱- نمایش درختی تجزیه موج گسسته [۳]

حجم زیاد محاسبات جمع و ضرب‌در تبدیل موجک در برخی کاربردها می‌تواند باعث کاهش کارایی و افزایش زمان پاسخ سیستم گردد. بسیاری از پردازنده‌های سیگنال دیجیتال، مدارهای سخت‌افزاری ویژه‌ای را برای ساخت فیلترهای کارآمد ارائه داده‌اند [۴-۶]. در پیاده‌سازی سخت‌افزاری معمولاً از ساختارهای بانک فیلتر پاسخ ضربه محدود (*FIR*[2]) استفاده می‌شود. فیلترهای *FIR* در مقایسه با فیلترهای پاسخ ضربه نامحدود (*IIR*[3]) به توان بیشتری برای عملیات محاسباتی نیاز دارند که باعث می‌شود در برخی از کاربردها، سربار محاسباتی و توان مصرفی بالایی به سیستم تحمیل شود [2]. یکی از دلایل اصلی افزایش توان مصرفی، وجود مدارهای ضرب و جمع متوالی در *tap*ها است. درواقع برای هر *tap* نیاز به انجام یک عمل ضرب و جمع متوالی است که به‌طور خاص، بخش ضرب کننده بیشترین میزان زمان و توان مصرفی را در برمی‌گیرد. در مدارهای سخت‌افزاری ویژه اغلب روی تسریع عملکرد ضرب و جمع‌های متوالی کارشده است [۵-۶]. روش دیگر برای بهینه‌سازی فیلترهای موجود، استفاده از سیستم عددی مانده‌ای (*RNS*[4]) است. در این سیستم هر عدد بر مبنای تعدادی باقیمانده[5] در پیمانه[6]های نسبت به هم اول، نشان داده می‌شود. عملیات جمع، تفریق و ضرب‌در هر پیمانه (کانال) به‌صورت کاملاً موازی با سایر پیمانه‌ها انجام می‌شود که علت اصلی تسریع عملیات در این سیستم است.

از مجموعه‌های پیمانه‌ای متفاوتی برای تسریع عملیات در کاربردهایی نظیر پردازش سیگنال دیجیتال [۷]، پردازش تصویر [۸]، پردازش ویدئو [۹]، یادگیری ماشین [۱۰] و یا تحمل‌پذیری اشکال در انتقال داده‌های بی‌سیم [۱۱] استفاده‌شده است. مبنای اصلی برای انتخاب تعداد پیمانه‌ها در یک مجموعه، پوشش دادن *DR* موردنیاز در آن کاربرد است. البته به دو شکل افقی و عمودی می‌توان *DR* را در یک مجموعه افزایش داد. در گسترش عمودی، فقط پهنای کانال‌ها افزایش پیدا می‌کند و تعداد پیمانه‌ها ثابت باقی می‌ماند اما در گسترش افقی، تعداد پیمانه¬ها زیادتر می‌شوند [۱۲]. با افزایش تعداد پیمانه‌ها، مدارهای تبدیل معکوس پیچیده‌تر می‌شوند که می‌تواند در عملکرد *RNS* تأثیر منفی فراوانی داشته باشد.

اگرچه کارهای تحقیقاتی مختلفی برای استفاده از *RNS* در مدارهای پردازش سیگنال‌های دیجیتال صورت گرفته [۱۳-۱۷] ولی در مقاله حاضر هدف انتخاب مجموعه‌ای مناسب است که با بهترین کارایی، باعث بهبود عملکرد مدار تبدیل موجک گسسته گردد.

در ادامه مقاله و در بخش دوم به کارهای انجام‌شده در این زمینه پرداخته می‌شود. در بخش سوم سیستم عددی مانده‌ای و نحوه انجام محاسبات در آن شرح داده خواهد شد. در بخش چهارم روش پیشنهادی همراه با مدارهای پیمانه‌ای طراحی‌شده برای آن ارائه‌شده و در ادامه نتایج سنتز آن در *ASIC* نشان داده می‌شود و در بخش پنجم خلاصه و نتیجه‌گیری مقاله ارائه می‌گردد.

۲- کارهای انجام‌شده

در [۱۳] نویسندگان یک ساختار ترکیبی از سیستم عددی مانده‌ای و موجک Finite-field ارائه داده‌اند که صرفاً ساختار کلی مدار به کمک سیستم اعداد مانده‌ای پیشنهادشده ولی به مجموعه پیمانه‌ای مشخصی اشاره نشده است. بااین‌حال با ذکر یک مثال عددی نشان داده‌شده که این سیستم می‌تواند در پردازش تصویر به کار رود. در [۱۴] از مجموعه سه پیمانه‌ای $\{2^n-1, 2^n, 2^n+1\}$ و $n=3$ برای افزایش سرعت محاسبات بانک‌های فیلتر CDF97 در تبدیل موجک گسسته استفاده شد. نتایج سنتز آن در FPGA مدل xc6vlx75t نشان می‌دهد که سرعت انجام محاسبات در مقایسه با روش دودویی، ۲۸٪ بهبودیافته است. در [۱۵] همین مجموعه سه‌پیمانه‌ای را برای نشان دادن افزایش کارایی محاسبات تبدیل موجک گسسته به‌کارگرفتند و در سنتز آن در ASIC نشان دادند که سرعت انجام محاسبات ۷٪ و مساحت آن ۳/۵ درصد بهتر از روش دودویی است. در [۱۶] نویسندگان مجموعه سه‌پیمانه‌ای $\{2^{n-1}-1, 2^n, 2^n-1\}$ را به کاربردند تا تأثیر استفاده از سیستم عددی مانده‌ای در محاسبات فیلترهای تصویر خاکستری را نشان دهند. در [۱۷] از سیستم عددی مانده‌ای برای پیاده‌سازی فیلتر تبدیل موجک گسسته برای پردازش تصاویر سه‌بعدی پزشکی استفاده‌شده است که در مقاله مدارهای محاسبات پیمانه‌ای دیده نمی‌شود و صرفاً به فرم کلی پیمانه‌ها که به‌صورت 2^n-1 بوده، اشاره‌شده است. در [۱۸] مجموعه سه‌پیمانه‌ای $\{2^{n+1}-1, 2^n, 2^n-1\}$ و $n=7$ برای بهبود عملکرد تبدیل موجک گسسته دوسطحی به‌کاررفته شد که مدار پیشنهادی در مدل ZC706 تراشه FPGA شرکت Xilinx، پیاده‌سازی گردید. ضرایب عددی مورداستفاده در این مدار به‌صورت ممیز ثابت و ۷ بیتی فرض شده است. ولی در بخشی از مدار از بلوک‌های حافظه برای ساده‌ترشدن فرآیند عملیات مانده‌ای کمک گرفته‌شده که موجب کاهش سرعت عملیات می‌گردد. در ضمن مدارهای عملیات پیمانه‌ای به‌کاررفته مشخص نیست. در [۲۱] از مجموعه سه‌پیمانه‌ای $\{2^{n+1}-1, 2^n, 2^n-1\}$ در پیاده‌سازی بانک فیلتر CDF97 تبدیل موجک گسسته در تراشه FPGA مدل xc6vlx75t از شرکت Xilinx استفاده‌شده است.

در مقاله حاضر نسخه بهبودیافته مجموعه مذکور برای پیاده‌سازی در سطح ASIC ارائه‌شده است. مجموعه پیمانه‌ای اخیر در مقایسه با مجموعه سه پیمانه‌ای به‌کاررفته در [14,15] فقط در پیمانه 2^n+1 تفاوت دارد. محاسبات در پیمانه‌های

2. Finite Impulse Response
3. Infinite Impulse Response
4. Residue Number System
5. Residue
6. Module

به فرم $2^n - \delta$ همـــواره ساده‌تر از پیمانه‌های به فرم $2^n + \delta$ است. در ادامه دلایل این موضوع مطرح می‌شود.

۳- سیستم اعداد مانده‌ای

یکی از روش‌های پرکاربرد در تسریع عمل‌های حسابی جمع، تفریق و ضرب به‌ویژه در پردازنده‌های خاص‌منظوره، بهره‌گیری از سیستم اعداد مانده‌ای است. محاسبات در چند کانال موازی، متناظر با پیمانه‌های RNS، انجام می‌شوند. عملوندهای دودویی، به چند عملوند کوچک‌تر متناظر با کانال‌های محاسباتی تبدیل می‌شوند و انجام عملیات حسابی روی دو عدد بزرگ به همان عملیات با اعدادی به‌مراتب کوچک‌تر تبدیل می‌شود. پس از انجام عملیات حسابی، نتایج با تبدیل معکوس به‌نظام عددی دودویی برگردانده می‌شود. عمل تبدیل از دودویی به مانده‌ای (مبدل مستقیم) و عملیات حسابی در کانال‌ها، موازی و سریع انجام می‌شوند. در این روش می‌توان سرعت محاسبات را به نحو چشمگیری افزایش داد. البته تنها مزیت این نظام، افزایش سرعت نیست بلکه مزایای دیگری مانند توان مصرفی پایین و کاهش مساحت تراشه را نیز می‌توان نام برد [۱۹, ۲۰].

پایه و اساس سیستم اعداد مانده‌ای تعدادی عدد دوبه‌دو نسبت به هم اول است که مجموعه پیمانه سیستم را تشکیل می‌دهند و به‌صورت $\{m_1, m_2, \dots m_n\}$ نمایش داده می‌شوند. محدوده نمایش ســـیستم اعداد مانـــده‌ای که با DR *(Dynamic Range)* نشان داده می‌شود، بیانگر محدوده اعدادی است که قابل‌نمایش در سیستم هستند و قابلیت ورود به سیستم پس از عمل تبدیل مستقیم[۷] را دارند. با فرض اول بودن پیمانه‌ها نسبت به هم، بیشترین محدوده نمایش که حاصل‌ضرب آن‌ها $(M = m_1 \times m_2 \times \dots \times m_n)$ است، به دست می‌آید، یعنی بازه $[0, M)$. رابطه (۵) ساختار عمومی عملیات مانده‌ای را نشان می‌دهد که عملگر ■ می‌تواند هر یک از عمل‌های جمع، تفریق و یا ضرب باشد [۲۰].

$$x \blacksquare y = (|x_{k-1} \blacksquare y_{k-1}|_{m_{k-1}} \dots |x_0 \blacksquare y_0|_{m_0}) \quad (5)$$

۳-۱- محاسبات پیمانه‌ای

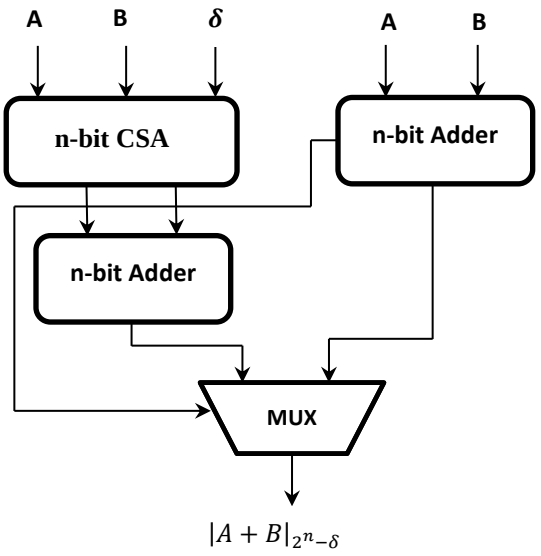
در محاسبات پیمانه‌ای بسته به این‌که از چه پیمانه‌هایی استفاده شود، ساختار انجام عملیات تغییر می‌کند. باقیمانده x_i در پیمانه m_i به‌صورت رابطه (۶) نشان داده می‌شود:

$$x_i = |X|_{m_i} \quad (6)$$

که در این رابطه، X مقدار دودویی عدد است. برای انتخاب پیمانه‌های مناسب در یک مجموعه، گزینه‌های فراوانی وجود دارد اما پیمانه‌هایی که به فرم $m_i = 2^n \pm \delta$ باشند، از مدارهای ساده‌تری در مقایسه با فرم کلی $m_i = \delta$ برخوردارند $(0 < \delta < n)$. علت این امر وجود بخش 2^n در پیمانه است که عملیات پیمانه‌ای و تبدیل از دودویی به RNS و برعکس را ساده می‌کند. به‌عنوان‌مثال اگر $m_1 = 2^n - \delta$ و $X = 2^n$ باشند، به‌راحتی می‌توان نشان داد که $|X|_{m_1} = \delta$، زیرا طبق رابطه (۷) داریم:

$$|X|_{m_1} = |2^n - \delta + \delta|_{2^n - \delta} = \delta \quad (7)$$

به همین ترتیب اگر $m_2 = 2^n + \delta$ باشد، مقدار $|X|_{m_2}$ برابر است با $-\delta$. وجود مقدار منفی در باقیمانده‌ی به پیمانه‌هایی مانند m_2 باعث سخت‌ترشدن عملیاتی مانند جمع و یا ضرب می‌گردد. بنابراین بهتر است که از پیمانه‌هایی به فرم m_1 استفاده شود. البته لازم به ذکر است که محدوده‌ی نمایش در مجموعه‌ی انتخابی نیز همواره باید مدنظر قرار بگیرد. زیرا بزرگ‌تر بودن DR باعث می‌شود که بتوان اعداد بیشتری را در آن مجموعه نمایش داد. در مقاله حاضر، عملیات جمع، تفریق و شیفت برای به دست آوردن ضرایب تبدیل موجک به‌کاررفته می‌شوند. به همین دلیل در ادامه، نحوه انجام آن‌ها به‌صورت پیمانه‌ای شرح داده می‌شود.



شکل ۲- مدار عمل جمع در پیمانه به فرم $2^n - \delta$ [۱۱]

۳-۱-۱- جمع و تفریق در پیمانه‌های به فرم $2^n - \delta$

جمع دو عدد در پیمانه به فرم $2^n - \delta$ را می‌توان مطابق رابطه (۸) نشان داد.

$$|A+B|_{2^n-\delta} = \begin{cases} A+B, & A+B < 2^n - \delta \\ A+B-2^n+\delta, & A+B \geq 2^n - \delta \end{cases} \quad (8)$$

رابطه (۸) نشان می‌دهد که برای عمل جمع پیمانه‌ای، نیاز به داشتن دو مقدار متفاوت است و بر اساس بازه به‌دست‌آمده برای حاصل جمع $A+B$، باید تصمیم گرفت که کدام حالت به‌عنوان نتیجه انتخاب شود. این کار را می‌توان به کمک MUX[۸] انجام داد. مطابق شکل ۲، داشتن رقم نقلی در اولین مدار جمع، نشان‌دهنده بزرگ‌تر بودن حاصل جمع بوده و لازم است که مقدار δ به آن اضافه‌شده و 2^n از آن کسر شود. حذف رقم نقلی به منزله کسر مقدار 2^n است ولی برای اضافه کردن مقدار δ به حاصل جمع، باید مدار مجزایی در نظر گرفت. برای کاهش تأخیر، این مقدار را می‌توان قبل از عمل جمع به مقادیر A و B اضافه کرد که نیاز به یک مدار کاهش عمق از ۳ به ۲ دارد که از طریق مدارهای CSA[۹] قابل پیاده‌سازی است.

در عمل تفریق مطابق با رابطه (۹) کافی است که مقدار مکمل دو از عملوند دوم را با عملوند اول جمع کرد. در انجام این کار نیز می‌توان از مداری مشابه با شکل ۲ استفاده کرد.

$$|A-B|_{2^n-\delta} = |A+\bar{B}-2^n+1|_{2^n-\delta} \quad (9)$$

نکته قابل‌توجه در عمل تفریق این است که اگر $\delta = 1$ فرض شود، در رابطه (۹) کافی است که مقدار $\bar{B}$ را به A اضافه نمود.

به‌طور مشابه می‌توان مدارهای جمع در پیمانه‌های به فرم $2^n + \delta$ را طراحی کرد. دو تفاوت مهم در این مدارها وجود دارند که عبارت‌اند از:

- پهنای محاسباتی در این مدارها یک بیت بیشتر است که منجر به افزایش تأخیر انتشار رقم نقلی می‌گردد.

7. Forward Conversion
8. Multiplexer
9. Carry Save Adder

• به دلیل منفی‌بودن مقدار δ، لازم است که در طراحی مدارها، معادل مثبت آن جایگزین گردد که اغلب باعث پیچیده‌ترشدن مدار و یا افزایش تأخیر می‌گردد.

۳-۱-۲- شیفت در پیمانه‌های به فرم $2^n - \delta$

عمل شیفت در دو جهت چپ و راست انجام می‌گردد که شیفت به راست پیمانه‌ای تفاوتی با مدل معمولی آن ندارد. اما در عمل شیفت به چپ پیمانه‌ای روش کار کاملاً متفاوت است. همان‌طور که در رابطه (۸) نشان داده شد، اگر مقدار عددی از پیمانه بزرگ‌تر باشد، از پیمانه کسر می‌گردد. این کار در عمل شیفت طبق روابط (۱۰) و (۱۱) انجام می‌شود:

$$|2^n c_n|_{2^n-\delta} = |(2^n - \delta + \delta)c_n|_{2^n-\delta} = \delta c_n \quad (10)$$

$$|2^{n+m} c_n|_{2^n-\delta} = |2^m(2^n - \delta + \delta)c_n|_{2^n-\delta} = 2^m \delta c_n \ , \ m < n \quad (11)$$

بنابراین با هر عمل شیفت به چپ به میزان δ به مقدار درون پیمانه اضافه می‌شود و این کار به ازای m عمل شیفت، $m\delta$ خواهد بود. به همین دلیل اگر $\delta = 1$ فرض شود، مدار ساده‌تری باید پیاده‌سازی گردد. زیرا هر عمل شیفت به چپ را می‌توان با یک شیفت چرخشی به چپ (CSL[۱۰]) انجام داد به‌گونه‌ای که بیت پرارزش‌تر از سمت راست و به‌عنوان بیت کم‌ارزش‌تر وارد می‌شود و سایر بیت‌ها به چپ شیفت داده می‌شوند. به‌عنوان‌مثال در عدد n بیتی $A = a_{n-1}a_{n-2} \dots a_1a_0$ عمل $|4A|_{2^n-1}$ مطابق رابطه (۱۲) انجام می‌گردد.

$$|4A|_{2^n-1} = |4(a_{n-1}a_{n-2} \dots a_1a_0)|_{2^n-1} = 2CSL(A) = a_{n-3}a_{n-4} \dots a_1a_0a_{n-1}a_{n-2} \quad (12)$$

به‌طور مشابه با عملیات جمع و تفریق و طبق رابطه (۱۳) در پیمانه‌های به فرم $2^n - \delta$ نیز عمل شیفت به چپ همراه با مقادیر منفی خواهد بود که مدارهای پیچیده‌تری برای پیاده‌سازی نیاز دارند.

$$|2^{n+m} c_n|_{2^n+\delta} = |2^m(2^n + \delta - \delta)c_n|_{2^n+\delta} = -2^m \delta c_n \quad (13)$$

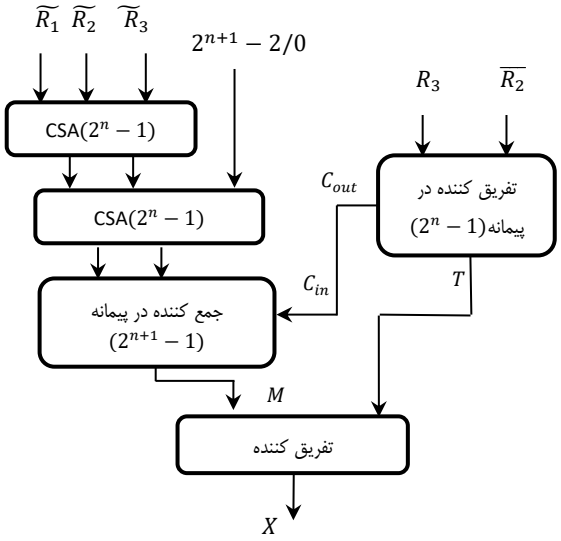
۳-۲- تبدیل از دودویی به مانده‌ایی و برعکس

اولین مرحله از انجام عملیات پیمانه‌ای، تبدیل عدد از دودویی به مانده‌ای است. این کار معمولاً از طریق یک یا چند عمل جمع پیمانه‌ای انجام می‌گردد [۲۲]. در انتهای کار عملیات تبدیل معکوس موردنیاز است تا نمایش دودویی، به دست آید. این عملیات تنها بخشی است که به‌صورت موازی قابل انجام نیست و بسته به تعداد و مقدار پیمانه‌ها می‌تواند مدارهای ساده و یا پیچیده‌ای داشته باشد. در مقاله حاضر از مجموعه سه پیمانه‌ای $\{2^{n+1} - 1, 2^n, 2^n - 1\}$ در تبدیل موجک گسسته استفاده شد که مدار تبدیل معکوس آن در [۲۲] ارائه‌شده و در شکل ۳ نشان داده‌شده است.

در این شکل مقادیر $R_1 = |X|_{2^{n+1}-1}$، $R_2 = |X|_{2^n}$ و $R_3 = |X|_{2^n-1}$ هستند و به ترتیب $n+1$، n و n فرض شده‌اند. از طرفی $\widetilde{R_1} = \overline{r_{1(n-2)}}\ \overline{r_{1(n-3)}} \dots \overline{r_{11}}\ \overline{r_{10}}\ \overline{r_{1(n)}}\ \overline{r_{1(n-1)}}$ و $\widetilde{R_2} = r_{2(n-1)}\ r_{2(n-2)} \dots r_{20}\ 0$ هستند. از طرفی منظور از CSA در پیمانه، انجام عملیات کاهش عمق به همراه بازگشت رقم نقلی پرارزش‌ترین CSA به کم‌ارزش‌ترین بیت در مرحله بعد است (همان‌طور که در رابطه (۱۰) اشاره شد). روابط مربوط به هر یک از خروجی‌های T و M در شکل ۳ مطابق با روابط (۱۴) و (۱۵) هستند:

$$T = |R_3 + \overline{R_2}|_{2^n-1} \quad (14)$$

$$M = |\widetilde{R_3} + \widetilde{R_2} + \widetilde{R_1} + U|_{2^{n+1}-1}, U = \begin{cases} 0 & , if\ R_3 \geq R_2 \\ 2^{n+1} - 2, & if\ R_3 < R_2 \end{cases} \quad (15)$$



شکل ۳- مدار تبدیل معکوس مجموعه پیمانه‌ای $\{2^n - 1, 2^n, 2^{n+1} - 1\}$ [۲۲]

بعد از به دست آمدن مقادیر T و M نتیجه نهایی (X) از رابطه (۱۶) به دست می‌آید:

$$X = 2^n(2^n M + T - M) + R_2 \quad (16)$$

لازم به ذکر است که در رابطه (۱۶) فقط عمل تفریق انجام می‌گردد و عمل‌های جمع به خاطر ضریب 2^n تنها منجر به کنار هم قرار گرفتن ضرایب شده و عملاً نیازی به جمع‌کردن ندارند.

در بخش بعد، نحوه استفاده از RNS برای بهبود عملکرد تبدیل موجک گسسته ارائه می‌شود.

۴- روش پیشنهادی

برای پیاده‌سازی سخت‌افزاری تبدیل موجک گسسته روش‌های مختلفی ارائه‌شده است. در برخی از این روش‌ها، پیاده‌سازی برای تراشه‌های FPGA انجام‌شده [۱۴, ۱۸, ۲۱] و در برخی دیگر از تحقیقات، مداری برای تراشه‌های ASIC پیشنهادشده است [۱۵]. از طرفی دیگر، مقدار ضرایب عددی در تبدیل موجک گسسته می‌تواند در دو نوع اعشاری و صحیح فرض شود. در حالت اعشاری امکان استفاده از RNS وجود ندارد. اما در حالت صحیح می‌توان از مجموعه‌های پیمانه‌ای مختلفی استفاده کرد. در [۱۴, ۱۵] از مجموعه سه پیمانه‌ای $\{2^n - 1, 2^n, 2^n + 1\}$ استفاده شد. همان‌طور که در بخش ۳ اشاره شد، پیمانه‌های به فرم $2^n + \delta$ از مدارهای جمع کننده و شیفت پیچیده‌تری در مقایسه با پیمانه‌های به فرم $2^n - \delta$ برخوردارند. به‌همین دلیل تمام مدار RNS را تحت تأثیر قرار داده و کارایی را کاهش می‌دهند. به همین دلیل در [۱۸] مجموعه سه پیمانه‌ای $\{2^n - 1, 2^n, 2^{n+1} - 1\}$ با مقدار $n = 7$ برای ضرایب عددی ممیز ثابت پیشنهادشده است. در مدار ارائه‌شده برای بخش تبدیل مستقیم و عملیات ضرب از بلوک‌های حافظه استفاده‌شده که باعث افزایش تأخیر کل مدار می‌گردد. در مقاله حاضر، همین مجموعه سه پیمانه‌ای با مدارهای مبتنی بر جمع و شیفت برای همه بخش‌های

10. Cyclic Shift Left

RNS پیشنهادشده که با ضرایب عددی صحیح و برای تراشه‌های ASIC سنتز شده است.

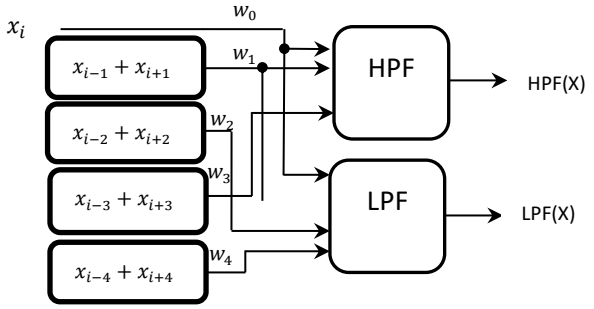
در پیاده‌سازی تبدل موجک گسسته می‌توان از بانک فیلتر CDF97 با ضرایب عددی صحیح استفاده نمود که شامل دو بخش بالاگذر و پایین‌گذراست [۱۴,۱۵]. رابطه (۱۷) نحوه محاسبه ضرایب w_i را نشان می‌دهد. شکل ۴ ساختار کلی مدار عملیات محاسبات تبدیل موجک گسسته را برای پنج ضریب به‌دست‌آمده با فرض $0 \le k \le 4$، نشان می‌دهد. بنابراین هر w_i با یک عمل جمع حاصل می‌گردد.

جدول ۱- ضرایب فیلتر که به روش نسبت دوتایی برای بانک فیلتر CDF97 به‌دست‌آمده است [۱۴].

k	Low pass Filter (LPF)	High pass Filter (HPF)
۰	۴۶/۶۴	۱
۱	۱۶/۶۴	-۹/۱۶
۲	-۸/۶۴	۰
۳	۰	۱/۱۶
۴	۱/۶۴	۰

$$w_k = (x_{i-k}) + (x_{i+k}),\ \ w_0 = x_i, 0 \le k \le 4 \qquad (17)$$

در ادامه، روابط ۱۸ و ۱۹ مقدار ضرایب در دو بخش بالا (HPF) و پایین‌گذر (LPF) را نشان می‌دهند. این روابط از روی جدول ۱ به‌دست‌آمده‌اند که نشان‌دهنده ضرایب فیلتر در هر دو بخش بوده و به روش نسبت دوتایی برای بانک فیلتر CDF97 محاسبه‌شده‌اند [۱۴].



شکل ۴- مدار کلی عملیات تبدیل موجک گسسته برای $0 \le k \le 4$

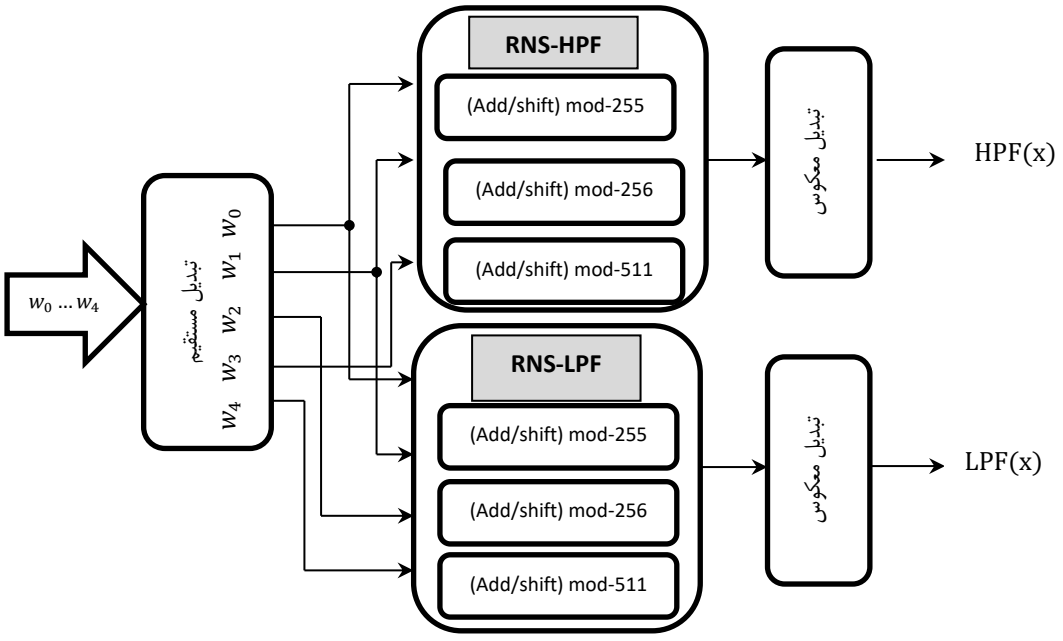
$$HPF(X) = 16W_0 - 9W_1 + W_3 \qquad (18)$$

$$LPF(X) = 46W_0 + 16W_1 - 8W_2 + W_4 \qquad (19)$$

۴-۱- محاسبات پیمانه‌ایی تولید بخش‌های بالا و پایین‌گذر

در روش پیشنهادی محاسبه HPF(X) و LPF(X) به‌صورت پیمانه‌ای انجام‌شده است. شکل ۵ مراحل انجام عملیات در روش پیشنهادی را نشان می‌دهد. مطابق شکل، ابتدا ضرایب w_0 تا w_4 از دودویی به مانده‌ای تبدیل می‌شوند. سپس کلیه محاسبات شیفت و جمع در هر دو بخش به‌صورت پیمانه‌ای انجام‌شده و در انتها عملیات تبدیل معکوس صورت می‌گیرد.

مقادیر نهایی X در هر دو بخش بالا و پایین‌گذر (و همین‌طور ورودی)، یک عدد صحیح ۲۵ بیتی است. بنابراین برای پوشش DR در مجموعه سه پیمانه‌ای $\{2^n - 1, 2^n, 2^{n+1} - 1\}$ از مقدار $n = 8$ استفاده خواهد شد یعنی پیمانه‌ها به ترتیب ۸، ۸ و ۹ بیتی هستند.



شکل ۵- ساختار کلی مدار پیشنهادی برای محاسبه پیمانه‌ای HPF و LPF

در پیاده‌سازی سخت‌افزاری ضرایب فیلتر، عمل ضرب $2^i w_j$ بدون هزینه انجام می‌گردد زیرا طبق روابط (۱۰) و (۱۱) معادل شیفت چرخشی در پیمانه‌هاست. بنابراین در هر دو بخش بالا و پایین‌گذر، صرفاً باید عملیات جمع/تفریق پیمانه‌ای صورت گیرد و عمل شیفت هزینه‌ای ندارد.

در عملیات پیمانه‌ای هر سه پیمانه به‌صورت کاملاً موازی محاسبات را انجام می‌دهند. در پیمانه 2^n محاسبات به همان صورت دودویی n بیتی قابل پیاده‌سازی است و نیاز به مدار اضافه‌ای ندارد. اما در دو پیمانه دیگر همه محاسبات از مدل

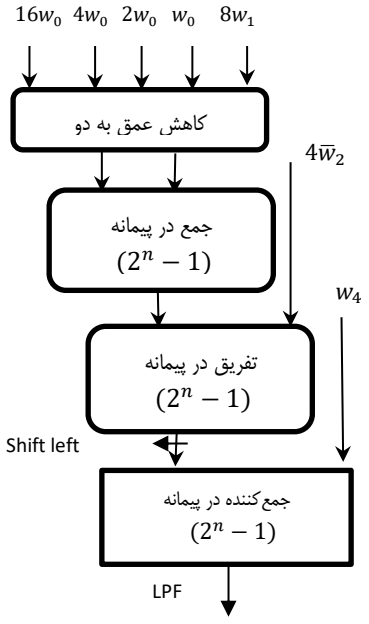
محاسبات پیمانه‌ای به فرم $2^n-\delta$ و $\delta=1$ تبعیت می‌کنند با این تفاوت که در پیمانه $2^{n+1}-1$ ، پهنای محاسبات یک بیت بیشتر است.

در بخش پایین‌گذر برای محاسبه $46w_0+16w_1$ به‌جای ضرب و جمع از $2((16+4+2+1)w_0+8w_1)$استفاده‌شده که عملاً یک مدار جمع پیمانه‌ای با ۵ ورودی است. پس در ابتدا عملیات کاهش عمق به دو، به‌صورت پیمانه¬ای و به کمک مدارهای CSA در سه مرحله انجام می‌گردد و سپس یک جمع کننده پیمانه‌ای، حاصل جمع را به دست می‌آورد. در ادامه باید عمل تفریق $2((23w_0+8w_1)-4w_2)$ صورت گیرد که در پیمانه مذکور طبق رابطه (۹) فقط کافی است که مقدار مکمل یک از $4w_2$ با بخش دیگر جمع شود. در این عمل نیز یک مزیت در مقایسه با پیمانه 2^n+1 (به‌کاررفته در [۱۴]) دیده می‌شود که عمل تفریق بسیار ساده‌تر است و فقط نیاز به گیت Not دارد (رابطه (۹)).

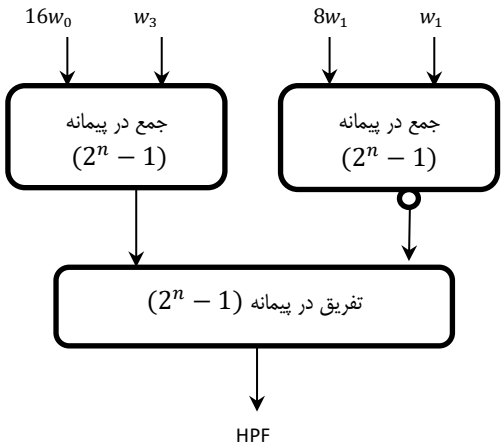
در ادامه و قبل از انجام عمل جمع با w_4 ابتدا یک شیفت به چپ انجام می‌شود تا رابطه $46w_0+16w_1-8w_2$ به دست آید که بدون نیاز به سخت‌افزار و با سیم‌بندی به‌صورت چرخش به چپ قابل پیاده‌سازی است و در انتها، عمل جمع پیمانه‌ای با w_4 انجام می‌گردد. شکل ۶ مدار انجام عملیات در پیمانه 2^n-1 را نشان می‌دهد. یکی از معایب محاسبات در این پیمانه (مشابه با عمل تفریق مکمل یک)، وجود دو نمایش برای عدد صفر است که برای تشخیص آن از مدار ارائه‌شده در [۲۱] کمک گرفته‌شده است.

در بخش بالاگذر، ابتدا دو عمل جمع به‌طور هم‌زمان برای دو بخش $8w_1+w_1$ و $16w_0+w_3$ انجام می‌شود و سپس برای تفریق حاصل جمع‌ها از یکدیگر، از مدار تفریق کننده در پیمانه 2^n-1 استفاده می‌شود که مشابه با بخش پایین‌گذر، تنها نیاز به گیت Not برای مکمل کردن مقدار $9w_1$ و سپس عمل جمع دارد. شکل (۷) ساختار کلی مدار بخش HPF در پیمانه 2^n-1 را نشان می‌دهد.

در روش دودویی کلیه محاسبات حداقل به‌صورت ۱۸ بیتی انجام می‌شود، درحالی‌که در روش پیمانه‌ای حداکثر پهنای محاسبات ۹ بیتی است. اگرچه عملیات تبدیل مستقیم و معکوس روی کارایی آن تأثیر منفی دارد ولی با درنظرگرفتن حجم زیاد ورودی‌ها و پردازش لوله‌ای برای سه بخش مدار یعنی تبدیل مستقیم، محاسبات پیمانه‌ای و تبدیل معکوس، می‌توان از ویژگی‌های پیمانه‌ای‌بودن همچنان بهره برد.



شکل ۶- مدار محاسبات در پیمانه 2^n-1 برای LPF



شکل ۷- مدار محاسبات در پیمانه 2^n-1 برای HPF

۴-۲- مقایسه و ارزیابی نتایج شبیه‌سازی و سنتز

برای شبیه‌سازی و سنتز سخت‌افزاری مدار پیشنهادی در ASIC، ابتدا کد به زبان VHDL نوشته‌شده و پس از بررسی صحت عملکرد مدار، در ابزار Synopsys Design Compiler نسخه SP5 و با کتابخانه ۶۵ نانو سنتز شده است. نتایج شبیه‌سازی در جدول (۲) برای معیارهای تأخیر، مساحت و توان مصرفی در دو حالت محاسبات دودویی و روش پیشنهادی نشان داده‌شده است. برای ارزیابی بهتر مدار، معیارها به تفکیک در بخش‌های تبدیل مستقیم (FC)، محاسبات مانده‌ای و تبدیل معکوس (RC) اندازه‌گیری شده‌اند. مطابق جدول، بیشترین میزان تأخیر مربوط به بخش محاسبات مانده‌ای LPF در پیمانه 2^9-1 است. مجموع تأخیر عملیات پیمانه‌ای که شامل هر سه بخش ذکر شده اخیر هستند، بیشتر از زمان تأخیر محاسبات در روش دودویی است؛ اما با درنظرگرفتن یک مدار پردازش لوله‌ای با سه سگمنت مجزا برای بخش‌های مذکور (مطابق شکل ۵) می‌توان انتظار بهبود عملکرد را در مقایسه با روش دودویی داشت. بدین ترتیب تأخیر مدار، حداکثر با تأخیر واحد محاسبات LPF در پیمانه 2^9-1 یعنی مقدار ۰.۷۱ نانوثانیه برابر است. درحالی‌که این واحد در روش دودویی تأخیر ۱.۴۴ نانوثانیه دارد. با این فرض در مقایسه با حالت دودویی میزان تأخیر تقریباً ۵۰٪ بهبودیافته است.

علت این بهبود به پهنای محاسبات جمع در روش پیمانه‌ای بازمی‌گردد. در این روش حداکثر پهنای محاسبات ۹ بیتی است درحالی‌که در روش دودویی حداقل پهنای محاسبات ۱۸ بیتی است که اختلاف چشمگیری با روش پیمانه‌ای دارد. البته در روش پیمانه‌ای لازم است که علاوه بر محاسبه جمع، رقم‌های نقلی خروجی نیز در ادامه محاسبات شرکت کنند که اندکی در میزان بهبود محاسبات تأثیر منفی می‌گذارد.

۵- نتیجه‌گیری و کارهای آینده

تبدیل موجک گسسته کاربردهای فراوانی در پردازش تصویر دارد. یکی از مشکلات این تبدیل، وجود تعداد زیاد محاسبات جمع و ضرب است. روش‌های مختلفی برای بهبود عملکرد محاسباتی تبدیل موجک گسسته ارائه‌شده که یکی از آن‌ها استفاده از سیستم اعداد مانده‌ای است. در این سیستم امکان اجرای موازی عملیات جمع، تفریق و ضرب وجود دارد. یعنی می‌توان در کانال‌های موازی و با تعداد بیت کم‌تر در هر کانال در مقایسه با محاسبات دودویی، عملیات حسابی مذکور را انجام داد. در مقاله حاضر از مجموعه سه پیمانه‌ای $\{2^{n+1}-1, 2^n, 2^n-1\}$ در پیاده‌سازی تبدل موجک گسسته با بانک فیلتر CDF97 استفاده‌شده است. مدارهای موردنیاز برای محاسبات پیمانه‌ای و دودویی طراحی‌شده‌اند. ارزیابی مدار پیشنهادی نشان می‌دهد که استفاده از روش پیشنهادی به‌صورت مستقیم باعث بهبود عملکرد

نمی‌شود؛ زیرا مجموع تأخیر مدارهای تبدیل مستقیم، محاسبات پیمانه‌ای و تبدیل معکوس، بیشتر از حالت دودویی است؛ اما می‌توان با پیاده‌سازی لوله‌ای مدار، به‌صورت سه سگمنت شامل بخش‌های مذکور در شکل ۵، بهبود چشمگیری را شاهد بود. نتایج شبیه‌سازی کد VHDL و سنتز مدار پیشنهادی در ابزار Synopsys Design Compiler نسخه SP5 و کتابخانه ۶۵ نانو نشان می‌دهد که میزان تأخیر، در مقایسه با روش دودویی تقریباً ۵۰ درصد بهبودیافته است.

جدول ۲- نتایج سنتز بر مبنای میزان تأخیر، مساحت و توان مصرفی

			Delay (ns)	Area (μm^2)	Power (μW)
روش دودویی	LPF		۱/۴۴	۱۸۹۵	۹۶۸
	HPF		۰/۷۸	۱۳۸۱	۵۱۰
روش پیشنهادی	FC	2^8-1	۰/۲۹	۴۷۹	۱۴۱
		2^8	۰	۰	۰
		2^9-1	۰/۲۴	۳۸۹	۹۹
	LPF	2^8-1	۰/۶۴	۱۳۸۵	۷۷۴
		2^8	۰/۳۴	۵۵۵	۲۲۲
		2^9-1	**۰/۷۱**	**۱۴۸۳**	**۸۱۲**
	HPF	2^8-1	۰/۳۹	۷۷۱	۲۹۹
		2^8	۰/۱۷	۴۰۹	۱۲۰
		2^9-1	۰/۴۰	۹۷۱	۳۳۸
	RC	-	۰/۶۳	۱۳۵۸	۹۶۸

۶- مآخذ

[1] R. C. Gonzalez, and R. Woods, *Digital Image Processing*, University of Tennessee, 4th edition, Pearson Publications, 2018.

[2] E. Johansson, *Wavelet Theory and some of its Applications*, Ph.D. Thesis, Luleå tekniska universitet, 2005.

[3] M.M. Eissa, "A novel digital directional transformer protection technique based on wavelet packet," *IEEE Trans. Power Delivery*, Vol. 20, No. 3, pp. 1830-1836, July 2005, doi: 10.1109/TPWRD.2005.848646.

[4] M. Tausif, E. Khan, M. Hasan and M. Reisslein, "SMFrWF: Segmented Modified Fractional Wavelet Filter: Fast Low-Memory Discrete Wavelet Transform (DWT)," in *IEEE Access, vol. 7*, pp. 84448-84467, 2019, doi: 10.1109/ACCESS.2019.2924490.

[5] B. K. Mohanty, "Approximate Lifting 2-D DWT Hardware Design for Image Encoder of Wireless Visual Sensors," in *IEEE Sensors Journal*, vol. 23, no. 7, pp. 7868-7878, 1 April1, 2023, doi: 10.1109/JSEN.2023.3247596.

[6] A. George and J. E. P. Jaakumar, "Hardware-Efficient DWT Architecture for Image Processing in Visual Sensors Networks," in *IEEE Sensors Journal*, vol. 23, no. 5, pp. 5382-5390, 1 March1, 2023, doi: 10.1109/JSEN.2023.3235371.

[7] A. Belghadr, and G. Jaberipur, "FIR Filter Realization via Deferred End-Around Carry Modular Addition," *IEEE Trans. On Circuits and systems*, vol. 65 (9), pp. 2878-2888, Sep. 2018. https//doi.org.10.1109/TCSI.2018.2798595.

[8] N. N. Nagornov, P. A. Lyakhov, M. V. Valueva and M. V. Bergerman, "RNS-Based FPGA Accelerators for High-Quality 3D Medical Image Wavelet Processing Using Scaled Filter Coefficients," in *IEEE Access*, vol. 10, pp. 19215-19231, 2022, doi: 10.1109/ACCESS.2022.3151361.

[9] N. C. Vayalil, M. Paul and Y. Kong, "A Residue Number System Hardware Design of Fast-Search Variable-Motion-Estimation Accelerator for HEVC/H.265," in *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 29, no. 2, pp. 572-581, Feb. 2019, doi: 10.1109/TCSVT.2017.2787194.

[10] E. B. Olsen, "RNS Hardware Matrix Multiplier for High Precision Neural Network Acceleration: "RNS TPU"," 2018 IEEE International Symposium on Circuits and Systems (ISCAS), Florence, Italy, 2018, pp. 1-5, doi: 10.1109/ISCAS.2018.8351352.

[11] T. F. Tay and C-H. Chang, "A non-iterative residue digit error detection and correction in RRNS," *IEEE Trans. On Computers*, vol. 65 (2), pp. 396-408, Feb. 2016. https//doi.org.10.1109/TC.2015.2435773.

[12] B. Parhami, *Computer Arithmetic: Algorithms and Hardware Designs*, Oxford University Press, New York, 2nd ed., 2010.

[13] N.I. Chervyakov, P.V. Lyakhov, and M.G. Babenko, "Digital filtering of images in a residue number system using finite-field wavelets," *Automatic Control and Computer Sciences*, Vol. 48 (3), pp. 180-189, 2014.

[14] Y. Kong, A. Safari and C.V. Niras, "A low-cost architecture for DWT filter banks in RNS applications", *IEEE International Symposium on Integrated Circuits (ISIC)*, Singapore, pp. 448-451, 2014, doi: 10.1109/ISICIR.2014.7029566.

[15] A. Safari, C. V. Niras, and Y. Kong, "Power-performance enhancement of two-dimensional RNS-based DWT image processor using static voltage scaling," *Integration Journal*, Vol. 53 pp. 145-156, 2016.

[16] N. I. Chervyakov, P. Lakhov, D. Kalita and K.S. Shulzhenko, "Effect of RNS Dnamic Range on Grayscale Image Filtering," *IEEE XV International Symposium of Problems of Redundancy in Information and Control Systems (REDUNDANCY)*, pp. 33-37, 2016, doi: 10.1109/RED.2016.7779323.

[17] N.I. Chervyakov, P. A. Lyakhov, N. N. Nagornov, M.V. Valueva, & D.I. Kaplun, "High-Performance Hardware 3D Medical Imaging using Wavelets in the Residue Number System," *9th Mediterranean Conference on Embedded Computing (MECO)*,pp. 1-4, 2020, doi: 10.1109/MECO49872.2020.9134123.

[18] H.Y. Alzaq and B.B. Ustundag, "An optimized two-level discrete wavelet implementation using residue number system," *EURASIP Journal on Advances in Signal Processing*, Vol. 41, 2018, doi: 10.1186/s13634-018-0559-3.

[19] P. V. A. Mohan, *Residue Number Systems: Algorithms and Architectures*, New York, Kluwer Academic Publishers, 2002.

[۲۰] ز. سلطانی، م. صالحی، ح. احمدی‌فر، "بهبود عملکرد محاسباتی در تبدیل موجک گسسته با استفاده از سیستم اعداد مانده‌ای،" *چهارمین کنفرانس ملی انجمن انفورماتیک ایران*، پژوهشگاه دانش‌های بنیادی، تهران، ایران، ۱۴و ۱۵ دی‌ماه ۱۴۰۱، ص ۱۰۴ -۱۰۹.

[21] H. Ahmadifar and G. Jaberipur, "A New Residue Number System with 5-Moduli Set: $\{2^{2q}, 2^q \pm 3, 2^q \pm 1\}$," in *The Computer Journal*, vol. 58, no. 7, pp. 1548-1565, July 2015, doi: 10.1093/comjnl/bxu084.

[22] A. Hiasat, "An Efficient Reverse Converter for the Three-Moduli Set $2^{n+1}-1, 2^n, 2^n-1\}$," *IEEE Transactions on Circuits and Systems II*, Vol. 64, no. 8, pp. 962-966, Aug. 2017, doi: 10.1109/TCSII.2016.2608335.

معرفی نویسندگان:

امیرحسین هادی‌پور مدرک کارشناسی خود را در سال ۱۳۹۸ در رشته مهندسی فناوری اطلاعات از دانشگاه مازندران، ایران، کسب نمود و در حال حاضر دانشجوی کارشناسی ارشد در گرایش معماری سیستم‌های کامپیوتری در دانشگاه گیلان است. زمینه‌های پژوهشی موردعلاقه عبارت‌اند از سیستم‌های مبتنی بر FPGA، امنیت سخت‌افزار و قابلیت اعتماد، حساب کامپیوتری، محاسبات تقریبی، تشخیص و پیشگیری از تروجان‌های سخت‌افزاری و آزمون سخت‌افزار.

سهیل فلاح باقری نژاد مدرک کارشناسی خود را از دانشگاه گیلان در سال‌های ۱۳۹۸ دریافت نموده و در حال حاضر دانشجوی کارشناسی ارشد در گرایش معماری سیستم‌های کامپیوتری در دانشگاه گیلان است. زمینه‌های تحقیقاتی موردعلاقه وی عبارت‌اند از: امنیت و اطمینان سخت‌افزار، محاسبات تقریبی، پیاده‌سازی و طراحی بر روی FPGA، اینترنت اشیا و کاربردهای آن و توابع کپی ناپذیر فیزیکی و تولید اعداد تصادفی حقیقی.

محمد صالحی فارغ‌التحصیل دکتری مهندسی کامپیوتر از دانشگاه صنعتی شریف ایران و استادیار گروه مهندسی کامپیوتر دانشگاه گیلان است. ایشان مؤسس و مدیر آزمایشگاه اینترنت اشیاء و سیستم‌های هوشمند در دانشگاه گیلان هستند. موضوعات پژوهشی موردعلاقه ایشان اینترنت اشیاء و سیستم‌های نهفته با تمرکز بر قابلیت اطمینان، بی‌درنگی و مدیریت مصرف توان و انرژی در سیستم‌های هوشمند و سایبر-فیزیکی است.

حمیدرضا احمدی‌فر تحصیلات خود را در مقطع کارشناسی و دکتری در دانشگاه شهید بهشتی تهران و در مقطع کارشناسی ارشد در دانشگاه صنعتی امیرکبیر در رشته مهندسی کامپیوتر با تخصص معماری سیستم‌های کامپیوتری به پایان رسانده است. در حال حاضر عضو هیئت‌علمی گروه مهندسی کامپیوتر دانشگاه گیلان است. سیستم اعداد مانده‌ای، حساب کامپیوتری و رایانش ابری زمینه‌های پژوهشی موردعلاقه ایشان هستند.